

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-129772

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/12

H 0 1 L 23/12

K

L

審査請求 未請求 請求項の数20 O L (全 28 頁)

(21) 出願番号 特願平7-254216

(22) 出願日 平成7年(1995)9月29日

(31) 優先権主張番号 特願平6-239042

(32) 優先日 平6(1994)10月3日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-221827

(32) 優先日 平7(1995)8月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 岩崎 博

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72) 発明者 青木 秀夫

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

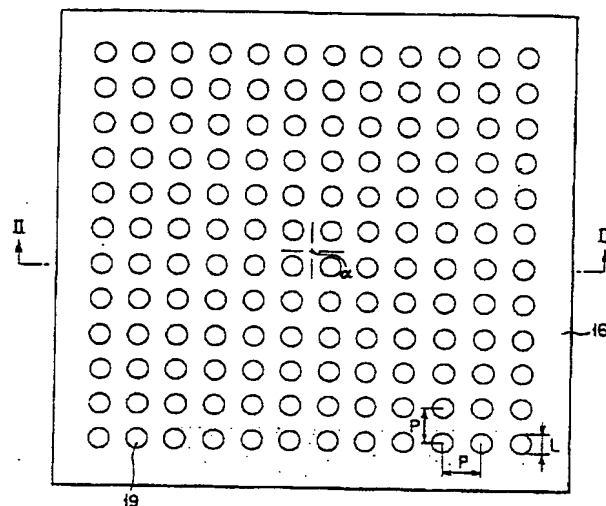
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体チップと一体化した半導体パッケージ及びその製造方法

(57) 【要約】

【課題】 アセンブリ工程が不要なチップスケールパッケージを提供する。

【解決手段】 半導体基板11の表面を覆うパッシベーション膜13の表面は、平坦になっている。パッシベーション膜13上には、配線15が形成される。配線15上には、パッケージとしての機能を有するパッシベーション膜16が形成される。パッシベーション膜16は、底部が配線15に達するアレイ状の複数のスルーホール17を有している。スルーホール17内及び上には、アレイ状の複数の外部接続用端子（電極）19が形成されている。パッシベーション膜16の角は、丸みを帯びている。



【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上の全面を覆い、各々のパッド上に開口を有し、表面が平坦な第1パッシベーション膜とから構成される半導体チップと、前記第1パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記第1パッシベーション膜上の全面を覆い、前記複数の配線上にアレイ状の複数のスルーホールを有し、表面が平坦な第2パッシベーションと、前記複数のスルーホール内及び上に形成されるアレイ状の複数の外部接続用端子とを具備することを特徴とする半導体パッケージ。

【請求項2】 半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上に形成され、各々のパッド上に開口を有し、表面が平坦であり、縁部が前記半導体基板の縁部の内側に存在する第1パッシベーション膜とから構成される半導体チップと、前記第1パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記半導体基板の周辺部並びに前記第1パッシベーション膜の上面及び側面を覆い、前記複数の配線上にアレイ状の複数のスルーホールを有し、表面が平坦な第2パッシベーションと、前記複数のスルーホール内及び上に形成されるアレイ状の複数の外部接続用端子とを具備することを特徴とする半導体パッケージ。

【請求項3】 半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上に形成され、各々のパッド上に開口を有し、表面が平坦であり、縁部が前記半導体基板の縁部の内側に存在する第1パッシベーション膜とから構成され、前記半導体基板の縁部と前記第1パッシベーション膜の縁部の間の前記半導体基板に溝が形成された半導体チップと、前記第1パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記半導体基板の周辺部並びに前記第1パッシベーション膜の上面及び側面を覆い、前記複数の配線上にアレイ状の複数のスルーホールを有し、表面が平坦な第2パッシベーションと、前記複数のスルーホール内及び上に形成されるアレイ状の複数の外部接続用端子とを具備することを特徴とする半導体パッケージ。

【請求項4】 半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上に形成され、各々のパッド上に開口を有し、表面が平坦な第1パッシベーション膜とから構成される半導体チップと、前記第1パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記第1パッシベーション膜上の全面を覆い、前記複数の

の配線上にアレイ状の複数のスルーホールを有し、表面が平坦な第2パッシベーションと、少なくとも前記複数のスルーホールの底部及び側面に形成される複数の金属膜と、

前記複数の金属膜上に形成され、前記複数のスルーホール上においてアレイ状の複数の外部接続用端子を構成する複数のメッキ層とを具備することを特徴とする半導体パッケージ。

【請求項5】 請求項1乃至4のいずれか1項に記載の半導体パッケージにおいて、前記複数のパッドは、前記半導体基板の縁部、又は前記半導体基板上の全体に均等に配置されていることを特徴とする半導体パッケージ。

【請求項6】 請求項1乃至4のいずれか1項に記載の半導体パッケージにおいて、前記第2パッシベーション膜は、パッケージとして機能し、その厚さは、0.05～0.2mmの範囲に設定されていることを特徴とする半導体パッケージ。

【請求項7】 請求項1乃至4のいずれか1項に記載の半導体パッケージにおいて、前記第2パッシベーション膜の縁部は、丸みを帯びていることを特徴とする半導体パッケージ。

【請求項8】 請求項1乃至4のいずれか1項に記載の半導体パッケージにおいて、前記第1及び第2パッシベーション膜は、酸化シリコン及び窒化シリコンを含む絶縁体のうちのいずれか1つから構成されることを特徴とする半導体パッケージ。

【請求項9】 請求項1乃至4のいずれか1項に記載の半導体パッケージにおいて、前記半導体基板は、一辺が約13.5mmの正方形を有し、前記複数の外部接続用端子は、直径が約0.5mmの円形を有し、ピッチが約1mmであることを特徴とする半導体パッケージ。

【請求項10】 請求項1乃至4のいずれか1項に記載の半導体パッケージにおいて、前記複数の外部接続用端子は、銅、金、ニッケル、及びニッケルと金の2層構造を含む導電体のうちのいずれか1つから構成されることを特徴とする半導体パッケージ。

【請求項11】 請求項1乃至4のいずれか1項に記載の半導体パッケージにおいて、前記複数の外部接続用端子上に形成される複数の半田ボールを備えることを特徴とする半導体パッケージ。

【請求項12】 請求項4に記載の半導体パッケージにおいて、前記金属膜は、チタン、ニッケル、パラジウムを含む金属のうちの少なくとも1つから構成されることを特徴とする半導体パッケージ。

【請求項13】 ウェハの半導体チップ領域上に複数のパッドを形成する工程と、前記ウェハの半導体チップ領域上に、前記複数のパッドを覆う第1パッシベーション膜を形成する工程と、前記複数のパッド上の前記第1パッシベーション膜に複数の開口を形成する工程と、

前記第1パッシベーション膜上に、前記複数の開口を介して前記複数のパッドに接続される複数の配線を形成する工程と、

前記第1パッシベーション膜上に、パッケージとして機能し、前記複数の配線を覆う第2パッシベーション膜を形成する工程と、

前記第2パッシベーション膜に、底部が前記複数の配線に達するアレイ状の複数のスルーホールを形成する工程と、

前記複数のスルーホール内及び上、並びに前記第2パッシベーション膜上に、導電膜を形成する工程と、

前記導電膜をパターンニングし、前記複数のスルーホール上にアレイ状の外部接続用端子を形成する工程と、

前記ウェハの半導体チップ領域の周囲を切断し、前記半導体チップ領域のサイズと同じサイズを有する半導体パッケージを形成する工程とを具備することを特徴とする半導体パッケージの製造方法。

【請求項14】 ウェハの半導体チップ領域上に複数のパッドを形成する工程と、

前記ウェハの半導体チップ領域上に、前記複数のパッドを覆う第1パッシベーション膜を形成する工程と、

前記複数のパッド上の前記第1パッシベーション膜に複数の開口を形成し、かつ、前記第1パッシベーション膜の縁部が前記半導体チップ領域の縁部の内側に配置されるように、前記第1パッシベーション膜を前記ウェハの半導体チップ領域内にみに残存させる工程と、

前記第1パッシベーション膜上に、前記複数の開口を介して前記複数のパッドに接続される複数の配線を形成する工程と、

前記ウェハの半導体チップ領域上の全面に、前記第1パッシベーション膜の上面及び側面を覆い、パッケージとして機能する第2パッシベーション膜を形成する工程と、

前記第2パッシベーション膜に、底部が前記複数の配線に達するアレイ状の複数のスルーホールを形成する工程と、

前記複数のスルーホール内及び上、並びに前記第2パッシベーション膜上に、導電膜を形成する工程と、

前記導電膜をパターンニングし、前記複数のスルーホール上にアレイ状の外部接続用端子を形成する工程と、

前記ウェハの半導体チップ領域の周囲を切断し、前記半導体チップ領域のサイズと同じサイズを有する半導体パッケージを形成する工程とを具備することを特徴とする半導体パッケージの製造方法。

【請求項15】 ウェハの半導体チップ領域上に複数のパッドを形成する工程と、

前記ウェハの半導体チップ領域上に、前記複数のパッドを覆う第1パッシベーション膜を形成する工程と、

前記複数のパッド上の前記第1パッシベーション膜に複数の第1開口を形成し、かつ、前記第1パッシベ

ン膜の縁部が前記半導体チップ領域の縁部の内側に配置されるように、前記第1パッシベーション膜を前記ウェハの半導体チップ領域内にみに残存させる工程と、

前記第1パッシベーション膜上に、前記複数の開口を介して前記複数のパッドに接続される複数の配線を形成する工程と、

前記ウェハの半導体チップ領域上の全面に、前記第1パッシベーション膜の上面及び側面を覆い、パッケージとして機能する第2パッシベーション膜を形成する工程と、

前記複数の配線上の前記第2パッシベーション膜に、アレイ状の複数のスルーホールを形成する工程と、

前記複数のスルーホールの底面及び側面上並びに前記第2パッシベーション膜上に、金属膜を形成する工程と、

前記金属膜上にレジスト膜を形成する工程と、

前記複数のスルーホール上の前記レジスト膜を除去し、前記複数のスルーホール上に前記複数のスルーホールよりも大きい複数の第2開口を形成する工程と、

前記金属膜をメッキ電極として、電気メッキ法により、前記複数のスルーホール内及び前記複数の第2開口内に

複数のメッキ層を形成する工程と、

前記レジスト膜を剥離し、前記複数のスルーホール上に前記メッキ層から構成されるアレイ状の複数の外部接続用端子を形成する工程と、

前記ウェハの半導体チップ領域の周囲を切断し、前記半導体チップ領域のサイズと同じサイズを有する半導体パッケージを形成する工程とを具備することを特徴とする半導体パッケージの製造方法。

【請求項16】 請求項13乃至15のいずれか1項に記載の半導体パッケージの製造方法において、前記第1パッシベーション膜を形成した直後に、前記第1パッシベーション膜の表面を平坦にする工程を備えることを特徴とする半導体パッケージの製造方法。

【請求項17】 請求項13乃至15のいずれか1項に記載の半導体パッケージの製造方法において、前記第2パッシベーション膜を形成した直後に、前記第2パッシベーション膜の表面を平坦にする工程を備えることを特徴とする半導体パッケージの製造方法。

【請求項18】 請求項13乃至15のいずれか1項に記載の半導体パッケージの製造方法において、前記半導体パッケージを形成した後に、前記半導体パッケージに熱処理を加えて、前記第2パッシベーション膜の縁部を丸める工程を備えることを特徴とする半導体パッケージの製造方法。

【請求項19】 請求項13乃至15のいずれか1項に記載の半導体パッケージの製造方法において、前記複数の外部接続用端子上に複数の半田ボールを形成する工程を備えることを特徴とする半導体パッケージの製造方法。

【請求項20】 請求項15に記載の半導体パッケージ

の製造方法において、前記複数の第2開口を形成すると同時に、前記ウェハの縁部に少なくとも1つの電圧印加用の第3開口を形成し、前記電気メッキ法は、前記第3開口の底部の前記金属膜に電圧を印加することにより行われることを特徴とする半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップのパッケージング技術に関する。

【0002】

【従来の技術】従来、図74に示すように、半導体製品は、種々の製造工程を経ることにより完成する。半導体チップを半導体パッケージの中に組み込むアセンブリ工程は、半導体製品を完成させるための製造工程中の1つの工程として必須のものである。

【0003】このアセンブリ工程の目的は、半導体チップに形成される素子と半導体チップの外部の素子や装置との間で、信号のやりとりを容易にすること、半導体チップを湿気や外力から保護することなどである。

【0004】従来のアセンブリ工程には、半導体チップを、TSOP (Thin Small Outline Package) やTCP (Tape Carrier Package) などの半導体パッケージの中に組み込むというものが知られている。

【0005】しかし、半導体パッケージ自体は、何ら機能を有しているものではない。また、アセンブリ工程に必要とされるコストは、半導体製品の価格を上昇させる原因となる。さらに、半導体製品のサイズは、半導体パッケージのサイズに制約されるため、半導体製品の小型化には限界がある。

【0006】

【発明が解決しようとする課題】このように、従来の半導体パッケージは、サイズが大きく、チップスケールのパッケージを提供することが難しい欠点がある。また、半導体チップをパッケージングするためにアセンブリ工程が必要であり、半導体製品の価格の上昇の原因となる欠点がある。

【0007】本発明は、上記欠点を解決すべくなされたもので、その目的は、半導体チップと一体化した半導体パッケージを提供することにより、従来のアセンブリ工程を省略して半導体製品の価格を下げる、及び半導体製品のサイズを半導体チップのサイズと同じにして半導体製品の小型化を達成することである。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体パッケージは、半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上の全面を覆い、各々のパッド上に開口を有し、表面が平坦な第1パッシベーション膜とから構成される半導体チップと、前記第1パッシベーション膜の表面上に

形成され、前記複数のパッドに接続される複数の配線と、前記第1パッシベーション膜上の全面を覆い、前記複数の配線上にアレイ状の複数のスルーホールを有し、表面が平坦な第2パッシベーションと、前記複数のスルーホール内及び上に形成されるアレイ状の複数の外部接続用端子とを備えている。

【0009】本発明の半導体パッケージは、半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上に形成され、各々のパッド上に開口を有し、表面が平坦であり、縁部が前記半導体基板の縁部の内側に存在する第1パッシベーション膜とから構成される半導体チップと、前記第1パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記半導体基板の周辺部並びに前記第1パッシベーション膜の上面及び側面を覆い、前記複数の配線上にアレイ状の複数のスルーホールを有し、表面が平坦な第2パッシベーションと、前記複数のスルーホール内及び上に形成されるアレイ状の複数の外部接続用端子とを備えている。

【0010】本発明の半導体パッケージは、半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上に形成され、各々のパッド上に開口を有し、表面が平坦であり、縁部が前記半導体基板の縁部の内側に存在する第1パッシベーション膜とから構成され、前記半導体基板の縁部と前記第1パッシベーション膜の縁部の間の前記半導体基板に溝が形成された半導体チップと、前記第1パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記半導体基板の周辺部並びに前記第1パッシベーション膜の上面及び側面を覆い、前記複数の配線上にアレイ状の複数のスルーホールを有し、表面が平坦な第2パッシベーションと、前記複数のスルーホール内及び上に形成されるアレイ状の複数の外部接続用端子とを備えている。

【0011】本発明の半導体パッケージは、半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上に形成され、各々のパッド上に開口を有し、表面が平坦な第1パッシベーション膜とから構成される半導体チップと、前記第1パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記第1パッシベーション膜上の全面を覆い、前記複数の配線上にアレイ状の複数のスルーホールを有し、表面が平坦な第2パッシベーションと、少なくとも前記複数のスルーホールの底部及び側面に形成される複数の金属膜と、前記複数の金属膜上に形成され、前記複数のスルーホール上においてアレイ状の複数の外部接続用端子を構成する複数のメッキ層とを備えている。

【0012】前記複数のパッドは、前記半導体基板の縁部、又は前記半導体基板上の全体に均等に配置されている。前記第2パッシベーション膜は、パッケージとして

機能し、その厚さは、0.05～0.2mmの範囲に設定されている。前記第2パッシベーション膜の縁部は、丸みを帯びている。

【0013】前記第1及び第2パッシベーション膜は、酸化シリコン及び窒化シリコンを含む絶縁体のうちのいずれか1つから構成される。前記半導体基板は、一辺が約13.5mmの正方形を有し、前記複数の外部接続用端子は、直径が約0.5mmの円形を有し、ピッチが約1mmである。

【0014】前記複数の外部接続用端子は、銅、金、ニッケル、及びニッケルと金の2層構造を含む導電体のうちのいずれか1つから構成される。前記複数の外部接続用端子上に形成される複数の半田ボールを備える。

【0015】前記金属膜は、チタン、ニッケル、パラジウムを含む金属のうちの少なくとも1つから構成される。

【0016】本発明の半導体パッケージの製造方法は、ウェハの半導体チップ領域上に複数のパッドを形成し、前記ウェハの半導体チップ領域上に、前記複数のパッドを覆う第1パッシベーション膜を形成し、前記複数のパッド上の前記第1パッシベーション膜に複数の開口を形成し、前記第1パッシベーション膜上に、前記複数の開口を介して前記複数のパッドに接続される複数の配線を形成し、前記第1パッシベーション膜上に、パッケージとして機能し、前記複数の配線を覆う第2パッシベーション膜を形成し、前記第2パッシベーション膜に、底部が前記複数の配線に達するアレイ状の複数のスルーホールを形成し、前記複数のスルーホール内及び上、並びに前記第2パッシベーション膜上に、導電膜を形成し、前記導電膜をパターニングし、前記複数のスルーホール上にアレイ状の外部接続用端子を形成し、前記ウェハの半導体チップ領域の周囲を切断し、前記半導体チップ領域のサイズと同じサイズを有する半導体パッケージを形成する、という一連の工程を備えている。

【0017】本発明の半導体パッケージの製造方法は、ウェハの半導体チップ領域上に複数のパッドを形成し、前記ウェハの半導体チップ領域上に、前記複数のパッドを覆う第1パッシベーション膜を形成し、前記複数のパッド上の前記第1パッシベーション膜に複数の開口を形成し、かつ、前記第1パッシベーション膜の縁部が前記半導体チップ領域の縁部の内側に配置されるように、前記第1パッシベーション膜を前記ウェハの半導体チップ領域内のみに残存させ、前記第1パッシベーション膜上に、前記複数の開口を介して前記複数のパッドに接続される複数の配線を形成し、前記ウェハの半導体チップ領域上の全面に、前記第1パッシベーション膜の上面及び側面を覆い、パッケージとして機能する第2パッシベーション膜を形成し、前記第2パッシベーション膜に、底部が前記複数の配線に達するアレイ状の複数のスルーホールを形成し、前記複数のスルーホール内及び上、並び

に前記第2パッシベーション膜上に、導電膜を形成し、前記導電膜をパターニングし、前記複数のスルーホール上にアレイ状の外部接続用端子を形成し、前記ウェハの半導体チップ領域の周囲を切断し、前記半導体チップ領域のサイズと同じサイズを有する半導体パッケージを形成する、という一連の工程を備えている。

【0018】本発明の半導体パッケージの製造方法は、ウェハの半導体チップ領域上に複数のパッドを形成し、前記ウェハの半導体チップ領域上に、前記複数のパッドを覆う第1パッシベーション膜を形成し、前記複数のパッド上の前記第1パッシベーション膜に複数の第1開口を形成し、かつ、前記第1パッシベーション膜の縁部が前記半導体チップ領域の縁部の内側に配置されるように、前記第1パッシベーション膜を前記ウェハの半導体チップ領域内のみに残存させ、前記第1パッシベーション膜上に、前記複数の開口を介して前記複数のパッドに接続される複数の配線を形成し、前記ウェハの半導体チップ領域上の全面に、前記第1パッシベーション膜の上面及び側面を覆い、パッケージとして機能する第2パッシベーション膜を形成し、前記複数の配線上の前記第2パッシベーション膜に、アレイ状の複数のスルーホールを形成し、前記複数のスルーホールの底面及び側面上並びに前記第2パッシベーション膜上に、金属膜を形成し、前記金属膜上にレジスト膜を形成し、前記複数のスルーホール上の前記レジスト膜を除去し、前記複数のスルーホール上に前記複数のスルーホールよりも大きい複数の第2開口を形成し、前記金属膜をメッキ電極として、電気メッキ法により、前記複数のスルーホール内及び前記複数の第2開口内に複数のメッキ層を形成し、前記レジスト膜を剥離し、前記複数のスルーホール上に前記メッキ層から構成されるアレイ状の複数の外部接続用端子を形成し、前記ウェハの半導体チップ領域の周囲を切断し、前記半導体チップ領域のサイズと同じサイズを有する半導体パッケージを形成する、という一連の工程を備えている。

【0019】前記第1パッシベーション膜を形成した直後に、前記第1パッシベーション膜の表面を平坦にする工程をさらに備えている。

【0020】また、前記第2パッシベーション膜を形成した直後に、前記第2パッシベーション膜の表面を平坦にする工程をさらに備えている。

【0021】前記半導体パッケージを形成した後に、前記半導体パッケージに熱処理を加えて、前記第2パッシベーション膜の縁部を丸める工程をさらに備えている。

【0022】前記複数の外部接続用端子上に複数の半田ボールを形成する工程をさらに備えている。

【0023】また、前記複数の第2開口を形成すると同時に、前記ウェハの縁部に少なくとも1つの電圧印加用の第3開口を形成し、前記電気メッキ法は、前記第3開口の底部の前記金属膜に電圧を印加することにより行わ

れる。

【0024】

【発明の実施の形態】以下、図面を参照しながら、本発明の半導体チップと一体化した半導体パッケージ及びその製造方法について詳細に説明する。

【0025】図1は、本発明の第1の実施の形態に関わる半導体パッケージを示している。図2は、図1の半導体パッケージのI-I線に沿う断面図を示している。

【0026】まず、この半導体パッケージの構造について説明する。

【0027】半導体チップ10は、例えば、一辺が1.3.5mmの正方形を有している。特定の機能を有する半導体素子は、半導体基板11に形成されている。複数のパッド（入出力端子）12は、半導体基板11上に形成されている。各パッド12は、半導体基板11、半導体基板11中の不純物領域、半導体素子などに接続されている。

【0028】これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成されている。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置している。

【0029】パッシベーション膜13は、半導体基板11上に形成されている。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成されている。パッシベーション膜13は、各パッド12上において開口14を有している。パッシベーション膜13の表面は、平坦になっている。

【0030】複数の配線15は、パッシベーション膜13上に形成され、本発明の特徴の一つである。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成されている。

【0031】パッシベーション膜16は、パッシベーション膜13上に形成され、本発明の特徴の一つである。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0032】従って、パッシベーション膜16の厚さは、パッケージとして十分に機能する程度の厚さ、即ち、0.05~0.2mmの範囲に設定されている。また、パッシベーション膜16の表面は、電極を形成し易いように平坦になっている。

【0033】パッシベーション膜16は、配線15上において複数のスルーホール17を有している。この複数の

スルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点 α に対して対称的に配置されている。

【0034】導電膜18は、スルーホール17内及びスルーホール17の周辺のパッシベーション膜16上に形成されている。導電膜18は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。この導電膜18は、パッシベーション膜16の表面部において外部接続用端子（電極）19を構成している。

【0035】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成されている。

【0036】上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として使用し、かつ、半導体基板11の上面に形成されたパッシベーション膜16をパッケージの一部として使用している。

【0037】即ち、上記構成を有する半導体パッケージによれば、ウェハプロセスにおいて半導体パッケージを形成することができるため、図73に示すように、アセンブリ工程を省略することができる。

【0038】従って、本発明の半導体パッケージは、アセンブリ工程を必要とする従来の半導体パッケージに比べて、半導体製品（完成品）の価格を低くすることができる。

【0039】また、図73に示す半導体素子のテスト工程（機能テストやバーニンなど）は、外部接続用端子19にソケットを接続し、各半導体素子にテスト信号を与え、かつ、各半導体素子からテスト結果を取り出すことにより、簡易に行うことができる。

【0040】また、上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として用いているため、半導体製品のサイズは、半導体基板11のサイズと同じになる。即ち、半導体パッケージが半導体チップと一体化しているため、半導体製品の小型化を達成することができる。

【0041】従って、半導体製品をプリント回路基板に高密度で実装することができ、図73に示す実装工程におけるコストも低減することができる。

【0042】また、半導体基板11の上面は、パッシベーション膜16により完全に覆われているため、本発明の半導体パッケージは、湿気や外力に対しても強い。

【0043】次に、図1及び図2の半導体パッケージの製造方法について説明する。

【0044】まず、図3に示すように、通常のウェハプロセスにより、ウェハ51の半導体チップ領域CにLSI（半導体素子などを含む）を形成する。

【0045】また、図3のAの部分を拡大した図4、及

び図5に示すように、ウェハの各半導体チップ領域Cに複数のパッド12を形成する。これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成される。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0046】なお、各半導体チップ領域Cは、例えば、一辺が約13.5mmの正方形を有している。ダイシングライン52は、半導体チップ領域Cの間に配置されている。

【0047】また、例えば、CVD法を用いて、半導体基板11上に半導体素子を覆うパッシベーション膜13を形成する。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成される。

【0048】また、例えば、化学機械的研磨（CMP）法によりパッシベーション膜13の表面を平坦にした後、PEP（写真蝕刻工程）を用いてパッシベーション膜13を部分的にエッチングする。その結果、パッシベーション膜13に各パッド12に達する開口14が形成される。

【0049】次に、図6及び図7に示すように、例えば、スパッタ法を用いて、パッシベーション膜13上の全面に、導電膜を形成する。また、PEP法を用いて、この導電膜をパターニングし、パッシベーション膜13上に複数の配線15を形成する。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成される。

【0050】次に、図8及び図9に示すように、例えば、CVD法を用いて、パッシベーション膜13上に0.05～0.2mmの膜厚を有するパッシベーション膜16を形成する。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0051】また、例えば、CMP法により、電極を形成し易いようにパッシベーション膜16の表面を平坦にする。PEP法を用いてパッシベーション膜16を部分的にエッチングし、配線15上のパッシベーション膜16に複数のスルーホール17を形成する。

【0052】この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点αに対して対称的に配置されている。

【0053】次に、図10及び図11に示すように、例えば、スパッタ法を用いて、パッシベーション膜16上の全面に、導電膜18を形成する。また、PEP法を用いて、この導電膜18をパターニングし、パッシベーション膜16上に複数の外部接続用端子（電極）19を形成する。外部接続用端子19は、パッシベーション膜16に設けられたスルーホール17の直下の配線15に接続されている。外部接続用端子19は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。

【0054】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成される。次に、図12及び図13に示すように、ダイシング装置を用いて、ダイシングライン（例えば、図10の図番52）沿ってウェハを切断すると、複数の半導体チップ10が得られる。この時、半導体パッケージも同時に完成する。

【0055】なお、図14に示すように、半導体チップ10のエッジ部分を丸めるために、半導体チップ10に対して熱処理を加え、パッシベーション膜16のエッジ部分を丸めるようにしてもよい。

【0056】以上の工程により、図1及び図2に示すような、半導体チップと一体化した半導体パッケージが完成する。

【0057】次に、図1及び図2の半導体パッケージの実装方法について説明する。

【0058】まず、図63に示すように、半導体パッケージの外部接続用端子19上に半田ボール53を形成する（本発明の第5の実施の形態に相当）。この半田ボール53は、本発明の半導体パッケージをプリント回路基板に実装し易くするために設けられるものである。従って、半田ボール53は、必ずしも必要なものではない。

【0059】次に、図67に示すように、プリント回路基板54上の配線55の所定位置に、本発明の半導体パッケージの半田ボール53が接触するように、本発明の半導体パッケージをプリント回路基板54上に配置する。

【0060】なお、プリント回路基板54の配線55の所定位置には、半田56がプリントされている。

【0061】次に、図68に示すように、プリント回路基板54をリフロー炉57内に配置し、所定の条件で、プリント回路基板54及び半導体パッケージ（半導体チップ）10に熱を加える。

【0062】その結果、図69に示すように、半田が溶融し、かつ、凝固して、半導体パッケージの外部接続用端子19とプリント回路基板54の配線55が互いに接続され、実装工程が終了する。

【0063】図15は、本発明の第2の実施の形態に関わる半導体パッケージを示している。図16は、図15の半導体パッケージのXVI-XVI線に沿う断面図を

示している。

【0064】まず、この半導体パッケージの構造について説明する。

【0065】半導体チップ10は、例えば、一辺が13.5mmの正方形を有している。特定の機能を有する半導体素子は、半導体基板11に形成されている。複数のパッド（入出力端子）12は、半導体基板11上に形成されている。各パッド12は、半導体基板11、半導体基板11中の不純物領域、半導体素子などに接続されている。

【0066】これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成されている。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0067】パッシベーション膜13は、半導体基板11上に形成されている。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成されている。

【0068】また、パッシベーション膜13は、各パッド12上において開口14を有している。パッシベーション膜13の表面は、平坦になっている。

【0069】パッシベーション膜13の縁部は、半導体基板11の縁部まで達していない。即ち、半導体基板11上から見た場合に、パッシベーション膜13の輪郭Xは、半導体基板の輪郭Yの内側に存在している。

【0070】複数の配線15は、パッシベーション膜13上に形成され、本発明の特徴の一つである。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成されている。

【0071】パッシベーション膜16は、半導体基板11上及びパッシベーション膜13上に形成され、本発明の特徴の一つである。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0072】従って、パッシベーション膜16の厚さは、パッケージとして十分に機能する程度の厚さ、即ち、0.05～0.2mmの範囲に設定されている。また、パッシベーション膜16の表面は、電極を形成し易いように平坦になっている。

【0073】また、パッシベーション膜16は、パッシベーション膜13の縁部Xを完全に覆っている。即ち、パッシベーション膜13が外部に露出していないため、本発明の半導体パッケージは、図1及び図2の半導体パ

ッケージに比べて、水分が半導体チップ10の内部に侵入し難く、耐湿性が向上する。

【0074】パッシベーション膜16は、配線15上において複数のスルーホール17を有している。この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点αに対して対称的に配置されてる。

【0075】導電膜18は、スルーホール17内及びスルーホール17の周辺のパッシベーション膜16上に形成されている。導電膜18は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。この導電膜18は、パッシベーション膜16の表面部において外部接続用端子（電極）19を構成している。

【0076】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成されている。

【0077】上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として使用し、かつ、半導体基板11の上面に形成されたパッシベーション膜16をパッケージの一部として使用している。

【0078】即ち、上記構成を有する半導体パッケージによれば、ウェハプロセスにおいて半導体パッケージを形成することができるため、図73に示すように、アセンブリ工程を省略することができる。

【0079】従って、本発明の半導体パッケージは、アセンブリ工程を必要とする従来の半導体パッケージに比べて、半導体製品（完成品）の価格を低くすることができる。

【0080】また、図73に示す半導体素子のテスト工程（機能テストやバーニンなど）は、外部接続用端子19にソケットを接続し、各半導体素子にテスト信号を与え、かつ、各半導体素子からテスト結果を取り出すことにより、簡易に行うことができる。

【0081】また、上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として用いているため、半導体製品のサイズは、半導体基板11のサイズと同じになる。即ち、半導体パッケージが半導体チップと一体化しているため、半導体製品の小型化を達成することができる。

【0082】従って、半導体製品をプリント回路基板に高密度で実装することができ、図73に示す実装工程におけるコストも低減することができる。

【0083】また、パッシベーション膜16は、パッシベーション膜13の縁部Xを完全に覆い、かつ、半導体基板11の縁部Yに接触している。このため、外部に露出する界面は、半導体基板11とパッシベーション膜16の界面のみとなるので、本発明の半導体パッケージ

は、湿気や外力に対しても非常に強くなる。

【0084】次に、図15及び図16の半導体パッケージの製造方法について説明する。

【0085】まず、図3に示すように、通常のウェハプロセスにより、ウェハ51の半導体チップ領域CにLSI（半導体素子などを含む）を形成する。

【0086】また、図3のAの部分拡大した図17、及び図18に示すように、ウェハの各半導体チップ領域Cに複数のパッド12を形成する。これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成される。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0087】なお、各半導体チップ領域Cは、例えば、一辺が約13.5mmの正方形を有している。ダイシングライン52は、半導体チップ領域Cの間に配置されている。

【0088】また、例えば、CVD法を用いて、半導体基板11上に半導体素子を覆うパッシベーション膜13を形成する。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成される。

【0089】また、例えば、化学機械的研磨（CMP）法によりパッシベーション膜13の表面を平坦にした後、PEP（写真蝕刻工程）を用いてパッシベーション膜13を部分的にエッチングする。その結果、パッシベーション膜13に各パッド12に達する開口14が形成される。

【0090】また、PEP法を用いてパッシベーション膜13を部分的にエッチングし、ダイシングライン52の直下の領域を含む領域のパッシベーション膜13を除去する。その結果、パッシベーション膜13の縁部Xは、半導体チップ領域Cの輪郭（最終的に半導体基板11の輪郭となる）Yの内側に配置される。

【0091】次に、図19及び図20に示すように、例えば、スパッタ法を用いて、パッシベーション膜13上の全面に、導電膜を形成する。また、PEP法を用いて、この導電膜をパターンニングし、パッシベーション膜13上に複数の配線15を形成する。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成される。

【0092】次に、図21及び図22に示すように、例えば、CVD法を用いて、パッシベーション膜13上に0.05～0.2mmの膜厚を有するパッシベーション膜16を形成する。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッ

ド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0093】また、例えば、CMP法により、電極を形成し易いようにパッシベーション膜16の表面を平坦にする。PEP法を用いてパッシベーション膜16を部分的にエッチングし、配線15上のパッシベーション膜16に複数のスルーホール17を形成する。

【0094】この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点αに対して対称的に配置されている。

【0095】次に、図23及び図24に示すように、例えば、スパッタ法を用いて、パッシベーション膜16上の全面に、導電膜18を形成する。また、PEP法を用いて、この導電膜18をパターンニングし、パッシベーション膜16上に複数の外部接続用端子（電極）19を形成する。外部接続用端子19は、パッシベーション膜16に設けられたスルーホール17の直下の配線15に接続されている。外部接続用端子19は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。

【0096】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成される。次に、図25及び図26に示すように、ダイシング装置を用いて、ダイシングライン（例えば、図23の図番52）沿ってウェハを切断すると、複数の半導体チップ10が得られる。この時、半導体パッケージも同時に完成する。

【0097】なお、図27に示すように、半導体チップ10のエッジ部分を丸めるために、半導体チップ10に対して熱処理を加え、パッシベーション膜16のエッジ部分を丸めるようにしてもよい。

【0098】以上の工程により、図15及び図16に示すような、半導体チップと一体化した半導体パッケージが完成する。

【0099】次に、図15及び図16の半導体パッケージの実装方法について説明する。

【0100】まず、図64に示すように、半導体パッケージの外部接続用端子19上に半田ボール53を形成する（本発明の第6の実施の形態に相当）。この半田ボール53は、本発明の半導体パッケージをプリント回路基板に実装し易くするために設けられるものである。従って、半田ボール53は、必ずしも必要なものではない。

【0101】次に、図67に示すように、プリント回路基板54上の配線55の所定位置に、本発明の半導体パッケージの半田ボール53が接触するように、本発明の半導体パッケージをプリント回路基板54上に配置する。

【0102】なお、プリント回路基板54の配線55の所定位置には、半田56がプリントされている。

【0103】次に、図68に示すように、プリント回路基板54をリフロー炉57内に配置し、所定の条件で、プリント回路基板54及び半導体パッケージ（半導体チップ）10に熱を加える。

【0104】その結果、図69に示すように、半田が溶融し、かつ、凝固して、半導体パッケージの外部接続用端子19とプリント回路基板54の配線55が互いに接続され、実装工程が終了する。

【0105】図28は、本発明の第3の実施の形態に関わる半導体パッケージを示している。図29は、図28の半導体パッケージのXXIX-XXIX線に沿う断面図を示している。

【0106】まず、この半導体パッケージの構造について説明する。

【0107】半導体チップ10は、例えば、一辺が1.3.5mmの正方形を有している。特定の機能を有する半導体素子は、半導体基板11に形成されている。複数のパッド（入出力端子）12は、半導体基板11上に形成されている。各パッド12は、半導体基板11、半導体基板11中の不純物領域、半導体素子などに接続されている。

【0108】これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成されている。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0109】パッシベーション膜13は、半導体基板11上に形成されている。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成されている。

【0110】また、パッシベーション膜13は、各パッド12上において開口14を有している。パッシベーション膜13の表面は、平坦になっている。

【0111】パッシベーション膜13の縁部は、半導体基板11の縁部まで達していない。即ち、半導体基板11上から見た場合に、パッシベーション膜13の輪郭Xは、半導体基板の輪郭Yの内側に存在している。パッシベーション膜13の輪郭Xと半導体基板11の輪郭Yの間には、半導体基板11の縁部に沿って溝60が形成されている。

【0112】複数の配線15は、パッシベーション膜13上に形成され、本発明の特徴の一つである。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成されている。

【0113】パッシベーション膜16は、半導体基板11上及びパッシベーション膜13上に形成され、本発明の特徴の一つである。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0114】従って、パッシベーション膜16の厚さは、パッケージとして十分に機能する程度の厚さ、即ち、0.05～0.2mmの範囲に設定されている。また、パッシベーション膜16の表面は、電極を形成し易いように平坦になっている。

【0115】また、パッシベーション膜16は、パッシベーション膜13の縁部Xを完全に覆っている。即ち、パッシベーション膜13が外部に露出していないため、本発明の半導体パッケージは、図1及び図2の半導体パッケージに比べて、水分が半導体チップ10の内部に侵入し難く、耐湿性が向上する。

【0116】パッシベーション膜16は、配線15上において複数のスルーホール17を有している。この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点αに対して対称的に配置されてる。

【0117】導電膜18は、スルーホール17内及びスルーホール17の周辺のパッシベーション膜16上に形成されている。導電膜18は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。この導電膜18は、パッシベーション膜16の表面部において外部接続用端子（電極）19を構成している。

【0118】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成されている。

【0119】上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として使用し、かつ、半導体基板11の上面に形成されたパッシベーション膜16をパッケージの一部として使用している。

【0120】即ち、上記構成を有する半導体パッケージによれば、ウェハプロセスにおいて半導体パッケージを形成することができるため、図73に示すように、アセンブリ工程を省略することができる。

【0121】従って、本発明の半導体パッケージは、アセンブリ工程を必要とする従来の半導体パッケージに比べて、半導体製品（完成品）の価格を低くすることができる。

【0122】また、図73に示す半導体素子のテスト工程（機能テストやバーニンなど）は、外部接続用端子19にソケットを接続し、各半導体素子にテスト信号を

与え、かつ、各半導体素子からテスト結果を取り出すことにより、簡易に行うことができる。

【0123】また、上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として用いているため、半導体製品のサイズは、半導体基板11のサイズと同じになる。即ち、半導体パッケージが半導体チップと一体化しているため、半導体製品の小型化を達成することができる。

【0124】従って、半導体製品をプリント回路基板に高密度で実装することができ、図73に示す実装工程におけるコストも低減することができる。

【0125】また、パッシベーション膜16は、パッシベーション膜13の縁部Xを完全に覆い、かつ、半導体基板11の縁部Yに接触している。このため、外部に露出する界面は、半導体基板11とパッシベーション膜16の界面のみとなるので、本発明の半導体パッケージは、湿気や外力に対しても非常に強くなる。

【0126】次に、図28及び図29の半導体パッケージの製造方法について説明する。

【0127】まず、図3に示すように、通常のウェハプロセスにより、ウェハ51の半導体チップ領域CにLSI（半導体素子などを含む）を形成する。

【0128】また、図3のAの部分拡大した図30、及び図31に示すように、ウェハの各半導体チップ領域Cに複数のパッド12を形成する。これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成される。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0129】なお、各半導体チップ領域Cは、例えば、一辺が約13.5mmの正方形を有している。ダイシングライン52は、半導体チップ領域Cの間に配置されている。

【0130】また、例えば、CVD法を用いて、半導体基板11上に半導体素子を覆うパッシベーション膜13を形成する。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成される。

【0131】また、例えば、化学機械的研磨（CMP）法によりパッシベーション膜13の表面を平坦にした後、PEP（写真蝕刻工程）を用いてパッシベーション膜13を部分的にエッチングする。その結果、パッシベーション膜13に各パッド12に達する開口14が形成される。

【0132】また、PEP法を用いて、パッシベーション膜13及び半導体基板11を部分的にエッチングし、ダイシングライン52の直下の領域を含む領域のパッシ

ベーション膜13及び半導体基板11を除去する。

【0133】その結果、パッシベーション膜13の縁部Xは、半導体チップ領域Cの輪郭（最終的に半導体基板11の輪郭となる）Yの内側に配置される。また、半導体基板11には、ダイシングライン52に沿い、かつ、ダイシングライン52の幅よりも広い幅を有する溝60が形成される。

【0134】なお、この溝60は、ダイシングライン52の直下のパッシベーション膜13を完全に除去するために、半導体基板11をオーバーエッチングすることにより形成されるものである。

【0135】次に、図32及び図33に示すように、例えば、スパッタ法を用いて、パッシベーション膜13上の全面に、導電膜を形成する。また、PEP法を用いて、この導電膜をバターニングし、パッシベーション膜13上に複数の配線15を形成する。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成される。

【0136】次に、図34及び図35に示すように、例えば、CVD法を用いて、パッシベーション膜13上に0.05～0.2mmの膜厚を有するパッシベーション膜16を形成する。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0137】また、例えば、CMP法により、電極を形成し易いようにパッシベーション膜16の表面を平坦にする。PEP法を用いてパッシベーション膜16を部分的にエッチングし、配線15上のパッシベーション膜16に複数のスルーホール17を形成する。

【0138】この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点αに対して対称的に配置されている。

【0139】次に、図36及び図37に示すように、例えば、スパッタ法を用いて、パッシベーション膜16上の全面に、導電膜18を形成する。また、PEP法を用いて、この導電膜18をバターニングし、パッシベーション膜16上に複数の外部接続用端子（電極）19を形成する。外部接続用端子19は、パッシベーション膜16に設けられたスルーホール17の直下の配線15に接続されている。外部接続用端子19は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。

【0140】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成される。

【0141】次に、図38及び図39に示すように、ダイシング装置を用いて、ダイシングライン（例えば、図36の図番52）沿ってウェハを切断すると、複数の半導体チップ10が得られる。この時、半導体パッケージも同時に完成する。

【0142】なお、図40に示すように、半導体チップ10のエッジ部分を丸めるために、半導体チップ10に対して熱処理を加え、パッシベーション膜16のエッジ部分を丸めるようにしてもよい。

【0143】以上の工程により、図28及び図29に示すような、半導体チップと一体化した半導体パッケージが完成する。

【0144】次に、図28及び図29の半導体パッケージの実装方法について説明する。

【0145】まず、図65に示すように、半導体パッケージの外部接続用端子19上に半田ボール53を形成する（本発明の第7の実施の形態に相当）。この半田ボール53は、本発明の半導体パッケージをプリント回路基板に実装し易くするために設けられるものである。従って、半田ボール53は、必ずしも必要なものではない。

【0146】次に、図67に示すように、プリント回路基板54上の配線55の所定位置に、本発明の半導体パッケージの半田ボール53が接触するように、本発明の半導体パッケージをプリント回路基板54上に配置する。

【0147】なお、プリント回路基板54の配線55の所定位置には、半田56がプリントされている。

【0148】次に、図68に示すように、プリント回路基板54をリフロー炉57内に配置し、所定の条件で、プリント回路基板54及び半導体パッケージ（半導体チップ）10に熱を加える。

【0149】その結果、図69に示すように、半田が溶融し、かつ、凝固して、半導体パッケージの外部接続用端子19とプリント回路基板54の配線55が互いに接続され、実装工程が終了する。

【0150】図41は、本発明の第4の実施の形態に関わる半導体パッケージを示している。図42は、図41の半導体パッケージのXLI I-XLI I線に沿う断面図を示している。

【0151】まず、この半導体パッケージの構造について説明する。

【0152】半導体チップ10は、例えば、一辺が1.3.5mmの正方形を有している。特定の機能を有する半導体素子は、半導体基板11に形成されている。複数のパッド（入出力端子）12は、半導体基板11上に形成されている。各パッド12は、半導体基板11、半導体基板11中の不純物領域、半導体素子などに接続されている。

【0153】これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）

を利用した場合には、主として半導体基板11の周辺部に形成されている。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0154】パッシベーション膜13は、半導体基板11上に形成されている。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成されている。

【0155】また、パッシベーション膜13は、各パッド12上において開口14を有している。パッシベーション膜13の表面は、平坦になっている。

【0156】パッシベーション膜13の縁部は、半導体基板11の縁部まで達していない。即ち、半導体基板11上から見た場合に、パッシベーション膜13の輪郭Xは、半導体基板の輪郭Yの内側に存在している。パッシベーション膜13の輪郭Xと半導体基板11の輪郭Yの間には、半導体基板11の縁部に沿って溝60が形成されている。

【0157】複数の配線15は、パッシベーション膜13上に形成され、本発明の特徴の一つである。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成されている。

【0158】パッシベーション膜16は、半導体基板11上及びパッシベーション膜13上に形成され、本発明の特徴の一つである。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0159】従って、パッシベーション膜16の厚さは、パッケージとして十分に機能する程度の厚さ、即ち、0.05～0.2mmの範囲に設定されている。また、パッシベーション膜16の表面は、電極を形成し易いように平坦になっている。

【0160】また、パッシベーション膜16は、パッシベーション膜13の縁部Xを完全に覆っている。即ち、パッシベーション膜13が外部に露出していないため、本発明の半導体パッケージは、図1及び図2の半導体パッケージに比べて、水分が半導体チップ10の内部に侵入し難く、耐湿性が向上する。

【0161】パッシベーション膜16は、配線15上において複数のスルーホール17を有している。この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点αに対して対称的に配置されてる。

【0162】薄い金属膜31は、スルーホール17内及

びスルーホール17の周辺のパッシベーション膜16上に形成されている。金属膜31の厚さは、スルーホール17の大きさ（直径）に対して十分に小さくなるように設定されている。金属膜31は、例えば、厚さ約0.05 μ mのチタン、厚さ約0.3 μ mのニッケル、厚さ約0.1 μ mのパラジウム、又はこれら3つ材料を積層したものなどから構成される。

【0163】メッキ層32は、スルーホール17内の金属膜31上及びスルーホール17の周辺の金属膜31上に形成されている。メッキ層32は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。このメッキ層32は、パッシベーション膜16の表面部において外部接続用端子（電極）19を構成している。

【0164】金属膜31は、例えば、電気メッキ法によりメッキ層32を形成する際におけるメッキ電極として機能するものである。同時に、金属膜31は、半導体チップ10に熱を加える熱工程時に、金属原子の拡散や合金反応を防止するバリアメタルとしても機能する。

【0165】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12 \times 12のアレイ状）に144個形成されている。また、外部接続用端子19の高さは、数 μ m～10 μ mの範囲に設定されている。

【0166】上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として使用し、かつ、半導体基板11の上面に形成されたパッシベーション膜16をパッケージの一部として使用している。

【0167】即ち、上記構成を有する半導体パッケージによれば、ウェハプロセスにおいて半導体パッケージを形成することができるため、図73に示すように、アセンブリ工程を省略することができる。

【0168】従って、本発明の半導体パッケージは、アセンブリ工程を必要とする従来の半導体パッケージに比べて、半導体製品（完成品）の価格を低くすることができる。

【0169】また、図73に示す半導体素子のテスト工程（機能テストやバーニンなど）は、外部接続用端子19にソケットを接続し、各半導体素子にテスト信号を与え、かつ、各半導体素子からテスト結果を取り出すことにより、簡易に行うことができる。

【0170】また、上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として用いているため、半導体製品のサイズは、半導体基板11のサイズと同じになる。即ち、半導体パッケージが半導体チップと一体化しているため、半導体製品の小型化を達成することができる。

【0171】従って、半導体製品をプリント回路基板に高密度で実装することができ、図73に示す実装工程に

おけるコストも低減することができる。

【0172】また、パッシベーション膜16は、パッシベーション膜13の縁部Xを完全に覆い、かつ、半導体基板11の縁部Yに接触している。このため、外部に露出する界面は、半導体基板11とパッシベーション膜16の界面のみとなるので、本発明の半導体パッケージは、湿気や外力に対しても非常に強くなる。

【0173】さらに、メッキ層32の直下に、メッキ電極となる金属膜31が配置されているため、外部接続用端子（電極）19は、電気メッキ法により低コストかつ容易に形成することができる。

【0174】次に、図41及び図42の半導体パッケージの製造方法について説明する。

【0175】まず、図3に示すように、通常のウェハプロセスにより、ウェハ51の半導体チップ領域CにLSI（半導体素子などを含む）を形成する。

【0176】また、図3のAの部分拡大した図43、及び図44に示すように、ウェハの各半導体チップ領域Cに複数のパッド12を形成する。これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成される。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0177】なお、各半導体チップ領域Cは、例えば、一辺が約13.5mmの正方形を有している。ダイシングライン52は、半導体チップ領域Cの間に配置されている。

【0178】また、例えば、CVD法を用いて、半導体基板11上に半導体素子を覆うパッシベーション膜13を形成する。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成される。

【0179】また、例えば、化学機械的研磨（CMP）法によりパッシベーション膜13の表面を平坦にした後、PEP（写真蝕刻工程）を用いてパッシベーション膜13を部分的にエッチングする。その結果、パッシベーション膜13に各パッド12に達する開口14が形成される。

【0180】また、PEP法を用いて、パッシベーション膜13を部分的にエッチングし、ダイシングライン52の直下の領域を含む領域のパッシベーション膜13を除去する。その結果、パッシベーション膜13の縁部Xは、半導体チップ領域Cの輪郭（最終的に半導体基板11の輪郭となる）Yの内側に配置される。

【0181】次に、図45及び図46に示すように、例えば、スパッタ法を用いて、パッシベーション膜13上の全面に、導電膜を形成する。また、PEP法を用い

て、この導電膜をパターニングし、パッシベーション膜13上に複数の配線15を形成する。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成される。

【0182】次に、図47及び図48に示すように、例えば、CVD法を用いて、パッシベーション膜13上に0.05~0.2mmの膜厚を有するパッシベーション膜16を形成する。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0183】また、例えば、CMP法により、電極を形成し易いようにパッシベーション膜16の表面を平坦にする。PEP法を用いてパッシベーション膜16を部分的にエッチングし、配線15上のパッシベーション膜16に複数のスルーホール17を形成する。

【0184】この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点 α に対して対称的に配置されている。

【0185】次に、図49及び図50に示すように、例えば、スパッタ法を用いて、スルーホール17の底面及び側面、及びパッシベーション膜16上の全面（ウェハ上の全面）に、薄い金属膜31を形成する。この金属膜31は、例えば、厚さ約0.05 μ mのチタン、厚さ約0.3 μ mのニッケル、厚さ約0.1 μ mのパラジウムを順次堆積することにより形成される。

【0186】次に、図51及び図52に示すように、金属膜31上の全面に、レジスト膜41を形成する。このレジスト膜41をパターニングし、スルーホール17上のレジスト膜41に、このスルーホール17の直径よりも大きい直径を有する開口42を形成する。この開口42の大きさは、パッケージの外部接続用端子（電極）の大きさと同じに設定される。

【0187】同時に、図53及び図54に示すように、ウェハ51の縁部に、電圧印加用の開口43を形成する。この開口43は、ウェハ51の縁部に1つだけ設けてもよいし、又は複数個設けてもよい。また、この開口43は、ウェハ51の縁部ではなく、ウェハ51の内部の所定位置に形成してもよい。

【0188】次に、図55に示すように、メッキ槽61を容易し、このメッキ槽61内に所定の溶液62を満たす。また、電源64の一端をウェハ51の開口43の金属膜31に接続すると共に、電源64の他端をメッキ用電極63に接続する。この後、ウェハ51及びメッキ用電極63を、メッキ槽61中の溶液62内に挿入する。

【0189】この後、スイッチ65を閉じると、図56

及び図57に示すように、メッキ層32が、レジスト膜41の開口42内、即ち、スルーホール17内の金属膜31上及びスルーホール17の周辺の金属膜31上に形成される。

【0190】このメッキ層32は、溶液62や電極63の種類を変えることにより、種々の材料から構成することができる。例えば、メッキ層32は、銅、金、ニッケル、ニッケルと金の2層構造などから構成される。

【0191】次に、レジスト膜41を除去すると、図58及び図59に示すように、パッケージの外部接続用端子（電極）19がパッシベーション膜16の表面部に形成される。この外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成される。

【0192】次に、図60及び図61に示すように、ダイシング装置を用いて、ダイシングライン（例えば、図58の図番52）沿ってウェハを切断すると、複数の半導体チップ10が得られる。この時、半導体パッケージも同時に完成する。

【0193】なお、図62に示すように、半導体チップ10のエッジ部分を丸めるために、半導体チップ10に対して熱処理を加え、パッシベーション膜16のエッジ部分を丸めるようにしてもよい。

【0194】以上の工程により、図41及び図42に示すような、半導体チップと一体化した半導体パッケージが完成する。

【0195】次に、図41及び図42の半導体パッケージの実装方法について説明する。

【0196】まず、図66に示すように、半導体パッケージの外部接続用端子19上に半田ボール53を形成する（本発明の第8の実施の形態に相当）。この半田ボール53は、本発明の半導体パッケージをプリント回路基板に実装し易くするために設けられるものである。従って、半田ボール53は、必ずしも必要なものではない。

【0197】次に、図67に示すように、プリント回路基板54上の配線55の所定位置に、本発明の半導体パッケージの半田ボール53が接触するように、本発明の半導体パッケージをプリント回路基板54上に配置する。

【0198】なお、プリント回路基板54の配線55の所定位置には、半田56がプリントされている。

【0199】次に、図68に示すように、プリント回路基板54をリフロー炉57内に配置し、所定の条件で、プリント回路基板54及び半導体パッケージ（半導体チップ）10に熱を加える。

【0200】その結果、図69に示すように、半田が溶融し、かつ、凝固して、半導体パッケージの外部接続用端子19とプリント回路基板54の配線55が互いに接続され、実装工程が終了する。

【0201】図70は、本発明の第9の実施の形態に関わる半導体パッケージを示すものである。

【0202】この半導体パッケージは、外部接続用端子（電極）19の配列の仕方に特徴がある。

【0203】この半導体パッケージの外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（11×11のアレイ状）に121個形成されている。

【0204】従って、半導体パッケージの中心点αには、1つの外部接続用端子19が配置されている。これにより、外部接続用端子19は、半導体パッケージの中心点αに対して対称的に配置されることになる。

【0205】図71は、本発明の第10の実施の形態に関わる半導体パッケージを示すものである。

【0206】この半導体パッケージは、外部接続用端子（電極）19の配列の仕方に特徴がある。

【0207】この半導体パッケージの外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、半導体パッケージの周辺部に格子状に108個形成されている。

【0208】即ち、この半導体パッケージは、図1の半導体パッケージと比べると、図1の半導体パッケージの外部接続用端子19のうち、中央部に配置される6×6のアレイ状の外部接続用端子19を省略したものと考えることができる。

【0209】この場合も、外部接続用端子19は、半導体パッケージの中心点αに対して対称的に配置されている。

【0210】図72は、本発明の第11の実施の形態に関わる半導体パッケージを示すものである。

【0211】この半導体パッケージは、外部接続用端子（電極）19の配列の仕方に特徴がある。

【0212】この半導体パッケージの外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、半導体パッケージの周辺部に格子状に96個形成されている。

【0213】即ち、この半導体パッケージは、図70の半導体パッケージと比べると、図70の半導体パッケージの外部接続用端子19のうち、中央部に配置される5×5のアレイ状の外部接続用端子19を省略したものと考えることができる。

【0214】この場合も、外部接続用端子19は、半導体パッケージの中心点αに対して対称的に配置されている。

【0215】

【発明の効果】以上、説明したように、本発明の半導体チップと一体化した半導体パッケージ及びその製造方法

によれば、次のような効果を奏する。

【0216】半導体基板の下面（裏面）及び側面をパッケージの一部として使用し、かつ、半導体基板の上面に形成されたパッシベーション膜をパッケージの一部として使用している。

【0217】即ち、上記構成を有する半導体パッケージ及びその製造方法によれば、ウェハプロセスにおいて半導体パッケージを形成することができるため、アセンブリ工程を省略することができる。

【0218】従って、本発明の半導体パッケージは、アセンブリ工程を必要とする従来の半導体パッケージに比べて、半導体製品（完成品）の価格を低くすることができる。

【0219】また、半導体素子のテスト工程（機能テストやバーニンなど）は、外部接続用端子にソケットを接続し、各半導体素子にテスト信号を与え、かつ、各半導体素子からテスト結果を取り出すことにより、簡易に行うことができる。

【0220】また、上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として用いているため、半導体製品のサイズは、半導体基板のサイズと同じになる。即ち、半導体パッケージが半導体チップと一体化しているため、半導体製品の小型化を達成することができる。

【0221】従って、半導体製品をプリント回路基板に高密度で実装することができ、実装工程におけるコストも低減することができる。

【0222】また、パッシベーション膜は、パッシベーション膜の縁部を完全に覆い、かつ、半導体基板の縁部に接触している。このため、外部に露出する界面は、半導体基板とパッシベーション膜の界面のみとなるので、本発明の半導体パッケージは、湿気や外力に対しても非常に強くなる。

【0223】さらに、メッキ層の直下に、メッキ電極となる金属膜を配置すれば、外部接続用端子（電極）は、電気メッキ法により低コストかつ容易に形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に関わる半導体パッケージを示す平面図。

【図2】図1のI-I線に沿う断面図。

【図3】図1のパッケージの製造方法の一工程を示す平面図。

【図4】図1のパッケージの製造方法の一工程を示す平面図。

【図5】図4のV-V線に沿う断面図。

【図6】図1のパッケージの製造方法の一工程を示す平面図。

【図7】図6のV-I-V-I線に沿う断面図。

【図8】図1のパッケージの製造方法の一工程を示す平

面図。

【図 9】図 8 の I X - I X 線に沿う断面図。

【図 10】図 1 のパッケージの製造方法の一工程を示す平面図。

【図 11】図 10 の X I - X I 線に沿う断面図。

【図 12】図 1 のパッケージの製造方法の一工程を示す平面図。

【図 13】図 12 の X I I I - X I I I 線に沿う断面図。

【図 14】図 1 のパッケージの製造方法の一工程を示す断面図。

【図 15】本発明の第 2 の実施の形態に関わる半導体パッケージを示す平面図。

【図 16】図 15 の X V I - X V I 線に沿う断面図。

【図 17】図 15 のパッケージの製造方法の一工程を示す平面図。

【図 18】図 17 の X V I I I - X V I I I 線に沿う断面図。

【図 19】図 15 のパッケージの製造方法の一工程を示す平面図。

【図 20】図 19 の X X - X X 線に沿う断面図。

【図 21】図 15 のパッケージの製造方法の一工程を示す平面図。

【図 22】図 21 の X X I I - X X I I 線に沿う断面図。

【図 23】図 15 のパッケージの製造方法の一工程を示す平面図。

【図 24】図 23 の X X I V - X X I V 線に沿う断面図。

【図 25】図 15 のパッケージの製造方法の一工程を示す平面図。

【図 26】図 25 の X X V I - X X V I 線に沿う断面図。

【図 27】図 15 のパッケージの製造方法の一工程を示す断面図。

【図 28】本発明の第 3 の実施の形態に関わる半導体パッケージを示す平面図。

【図 29】図 28 の X X I X - X X I X 線に沿う断面図。

【図 30】図 28 のパッケージの製造方法の一工程を示す平面図。

【図 31】図 30 の X X X I - X X X I 線に沿う断面図。

【図 32】図 28 のパッケージの製造方法の一工程を示す平面図。

【図 33】図 32 の X X X I I I - X X X I I I 線に沿う断面図。

【図 34】図 28 のパッケージの製造方法の一工程を示す平面図。

【図 35】図 34 の X X X V - X X X V 線に沿う断面

図。

【図 36】図 28 のパッケージの製造方法の一工程を示す平面図。

【図 37】図 36 の X X X V I I - X X X V I I 線に沿う断面図。

【図 38】図 28 のパッケージの製造方法の一工程を示す平面図。

【図 39】図 38 の X X X I X - X X X I X 線に沿う断面図。

【図 40】図 28 のパッケージの製造方法の一工程を示す断面図。

【図 41】本発明の第 4 の実施の形態に関わる半導体パッケージを示す平面図。

【図 42】図 41 の X L I I - X L I I 線に沿う断面図。

【図 43】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 44】図 43 の X L I V - X L I V 線に沿う断面図。

【図 45】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 46】図 45 の X L V I - X L V I 線に沿う断面図。

【図 47】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 48】図 47 の X L V I I I - X L V I I I 線に沿う断面図。

【図 49】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 50】図 49 の L - L 線に沿う断面図。

【図 51】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 52】図 51 の L I I - L I I 線に沿う断面図。

【図 53】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 54】図 53 の L I V - L I V 線に沿う断面図。

【図 55】図 41 のパッケージの製造方法の一工程を示す図。

【図 56】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 57】図 56 の L V I I - L V I I 線に沿う断面図。

【図 58】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 59】図 58 の L I X - L I X 線に沿う断面図。

【図 60】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 61】図 60 の L X I - L X I 線に沿う断面図。

【図 62】図 41 のパッケージの製造方法の一工程を示す断面図。

【図63】本発明の第5の実施の形態に関わる半導体パッケージを示す平面図。

【図64】本発明の第6の実施の形態に関わる半導体パッケージを示す平面図。

【図65】本発明の第7の実施の形態に関わる半導体パッケージを示す平面図。

【図66】本発明の第8の実施の形態に関わる半導体パッケージを示す平面図。

【図67】図66のパッケージをプリント基板に実装する方法の一工程を示す断面図。

【図68】図66のパッケージをプリント基板に実装する方法の一工程を示す断面図。

【図69】図66のパッケージをプリント基板に実装する方法の一工程を示す断面図。

【図70】本発明の第9の実施の形態に関わる半導体パッケージを示す平面図。

【図71】本発明の第10の実施の形態に関わる半導体パッケージを示す平面図。

【図72】本発明の第11の実施の形態に関わる半導体パッケージを示す平面図。

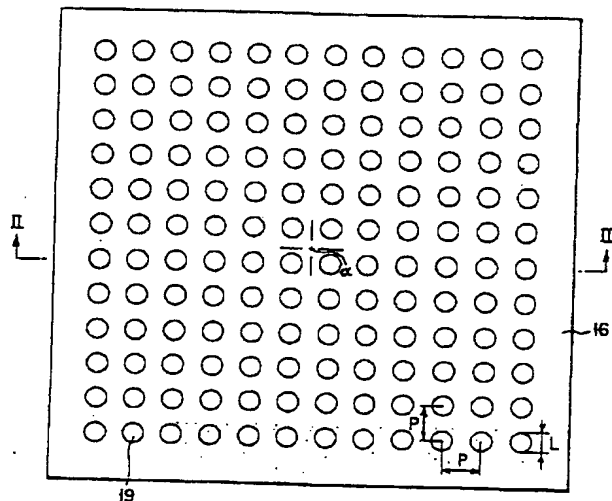
【図73】本発明のパッケージを用いた場合の半導体製品の製造工程の全てを示す図。

【図74】従来のパッケージを用いた場合の半導体製品の製造工程の全てを示す図。

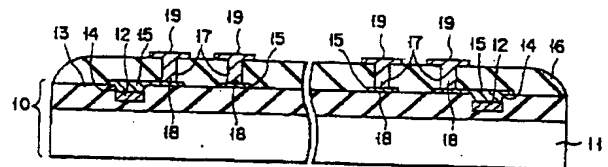
【符号の説明】

- 10 : 半導体チップ、
- 11 : 半導体基板、
- 12 : パッド（入出力端子）、
- 13, 16 : パッシベーション膜、
- 14, 42, 43 : 開口、
- 15 : 配線、
- 17 : スルーホール、
- 18 : 導電膜、
- 19 : 外部接続用端子（電極）、
- 31 : 金属膜、
- 32 : メッキ層、
- 41 : レジスト膜、
- 51 : ウェハ、
- 52 : ダイシングライン、
- 53 : 半田ボール、
- 54 : プリント回路基板、
- 55 : 配線、
- 56 : 半田、
- 57 : リフロー炉、
- 60 : 溝、
- 61 : メッキ槽、
- 62 : 溶液、
- 63 : メッキ用電極、
- 64 : 電源、
- 65 : スイッチ。

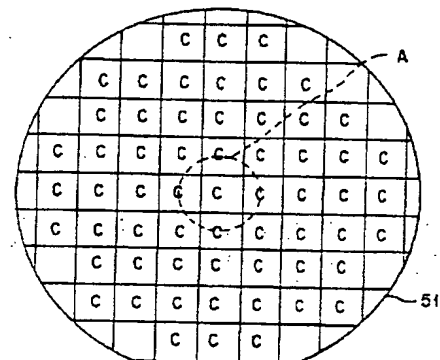
【図1】



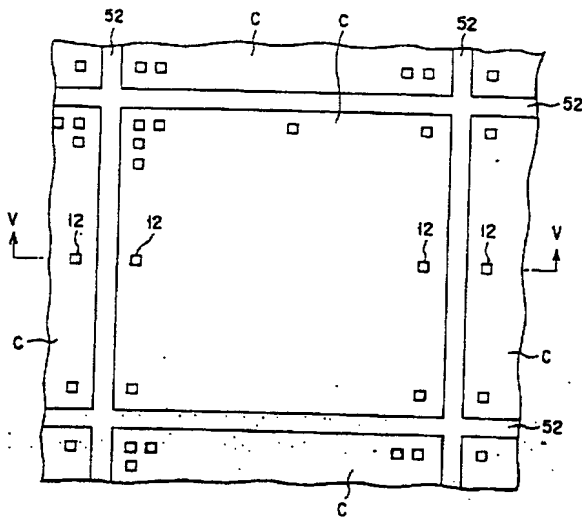
【図2】



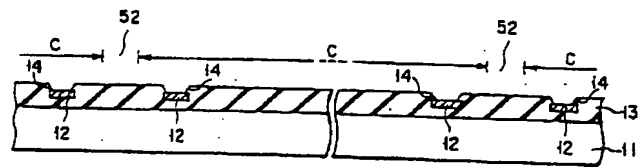
【図3】



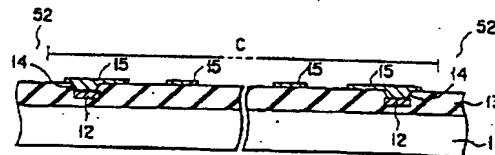
【図4】



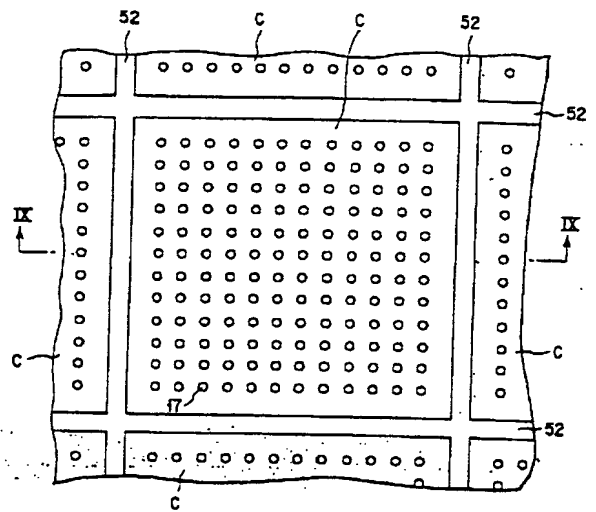
【図5】



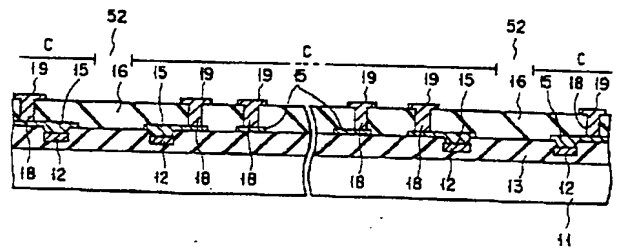
【図7】



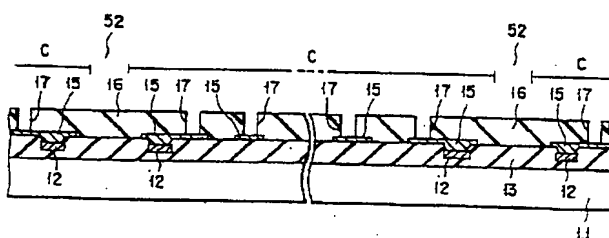
【図8】



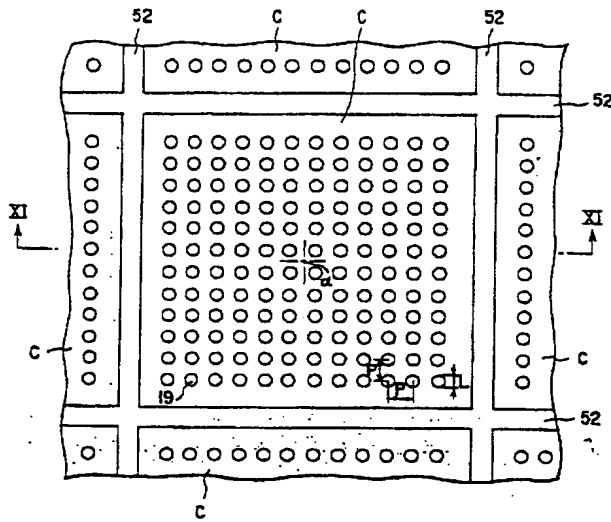
【図11】



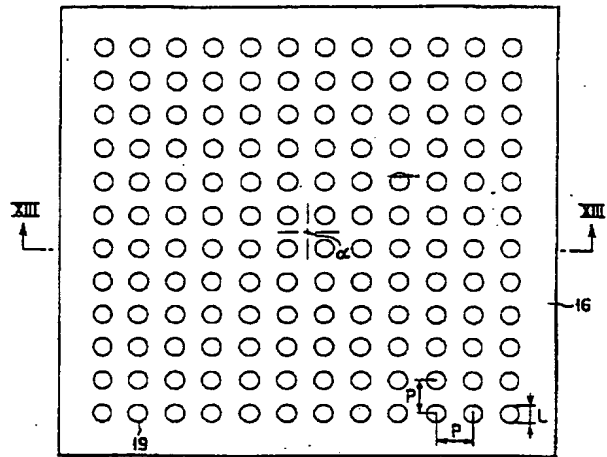
【図9】



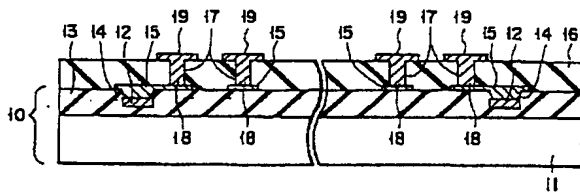
【図10】



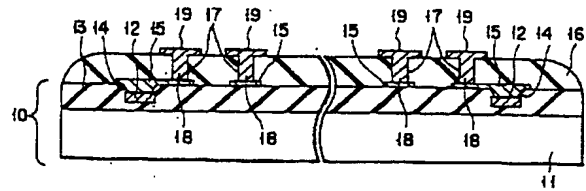
【図12】



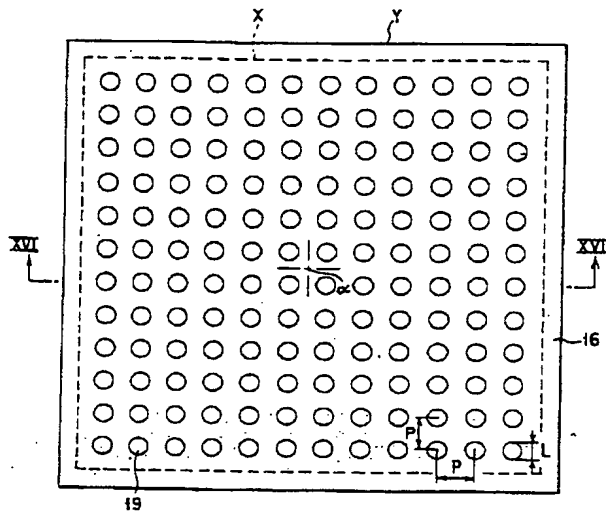
【図13】



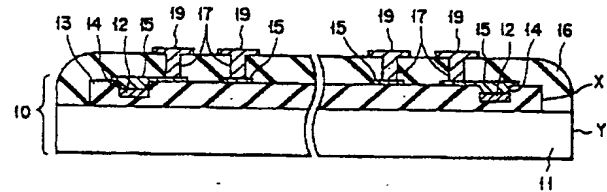
【図14】



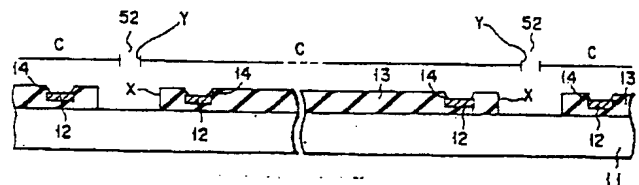
【図15】



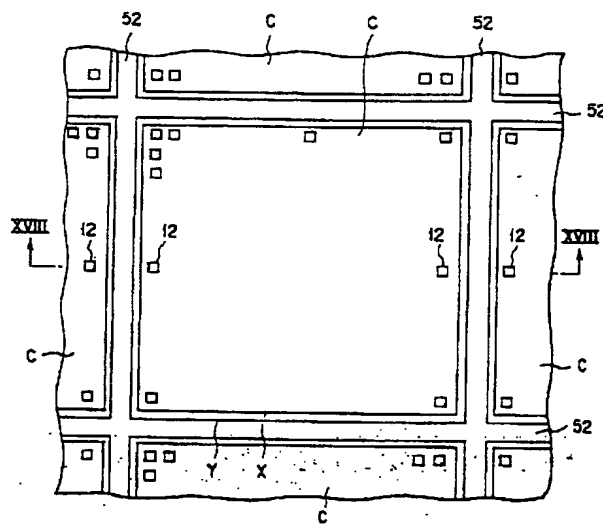
【図16】



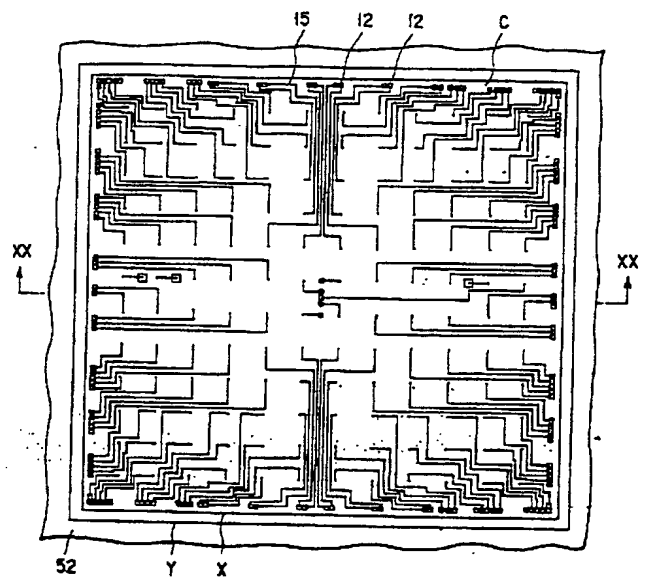
【図18】



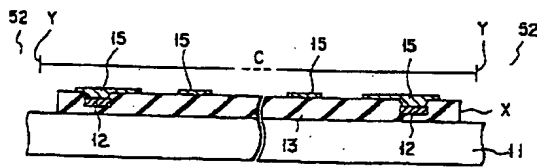
【図17】



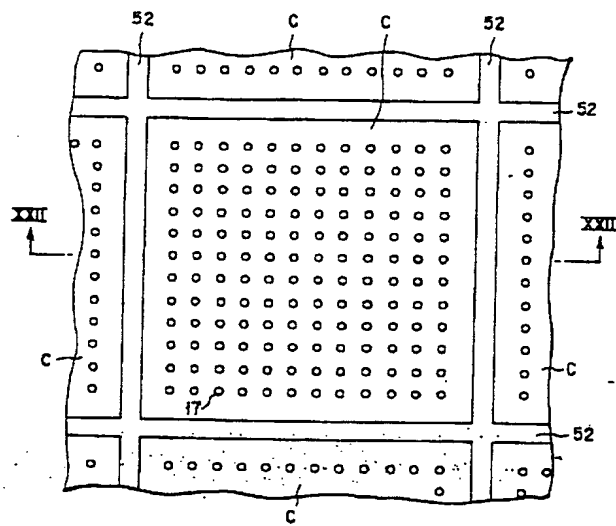
【図19】



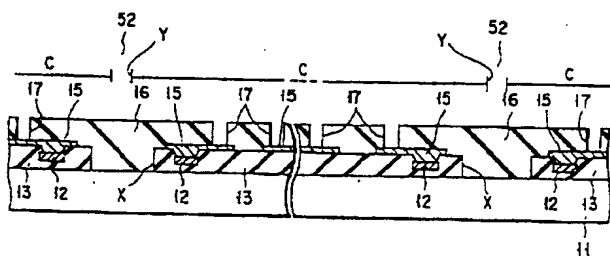
【図20】



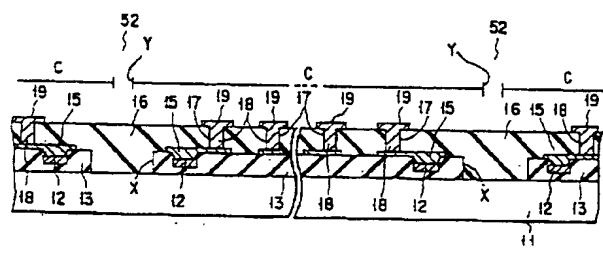
【図21】



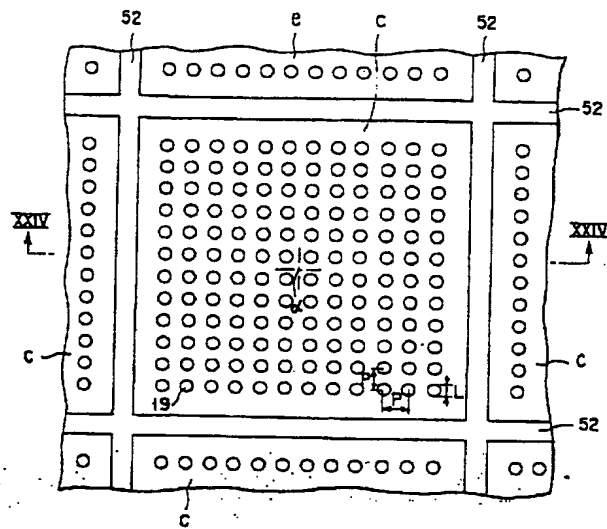
【図22】



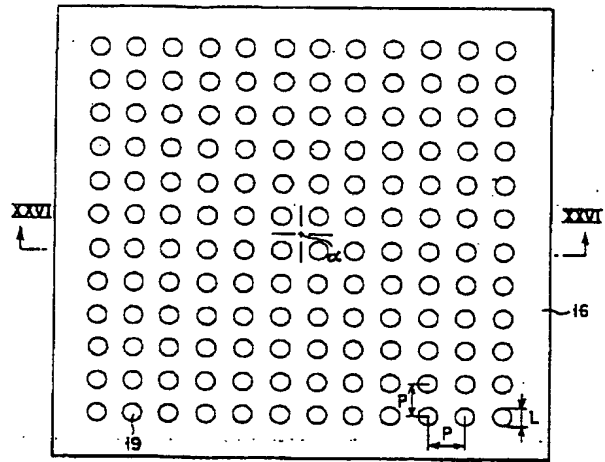
【図24】



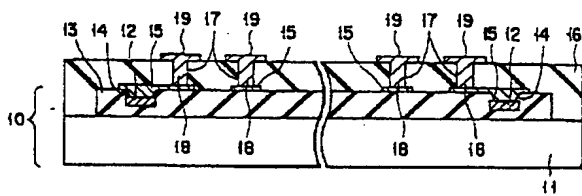
【図 23】



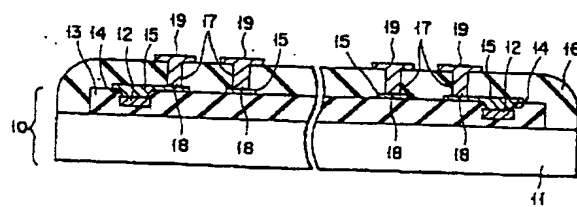
【図 25】



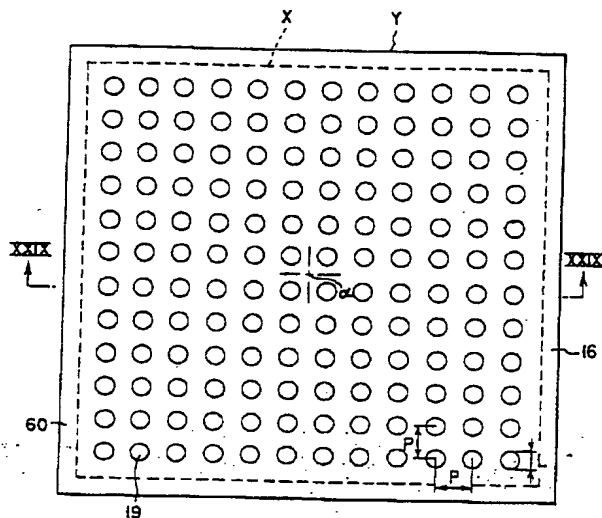
【図 26】



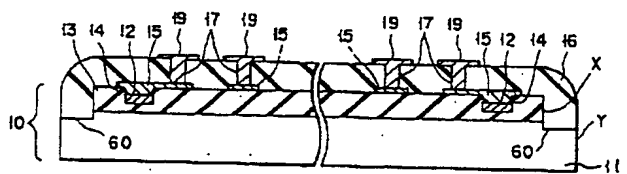
【図 27】



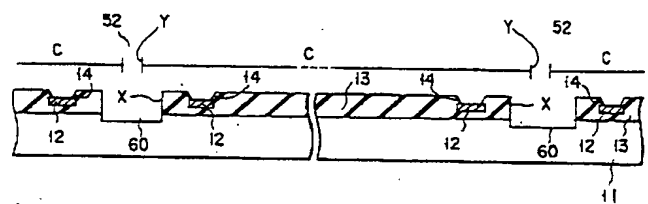
【図 28】



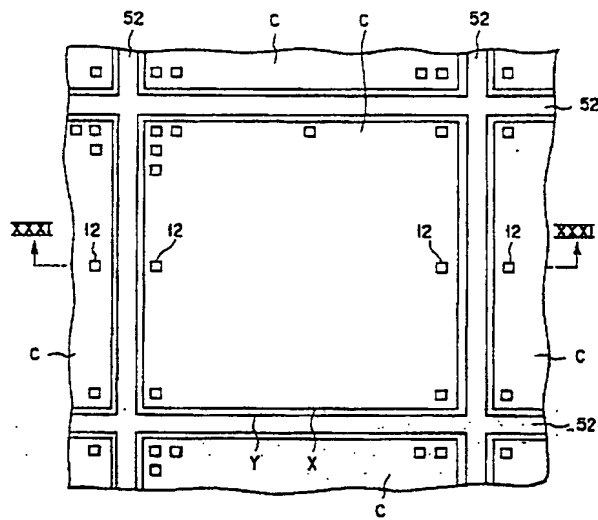
【図 29】



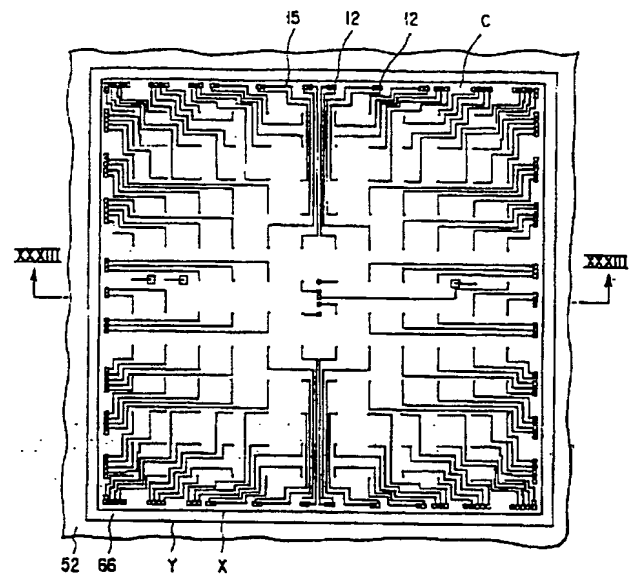
【図 31】



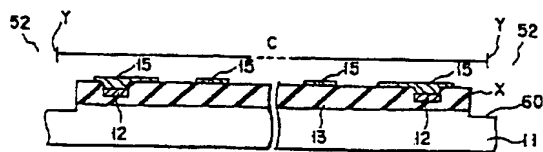
【図30】



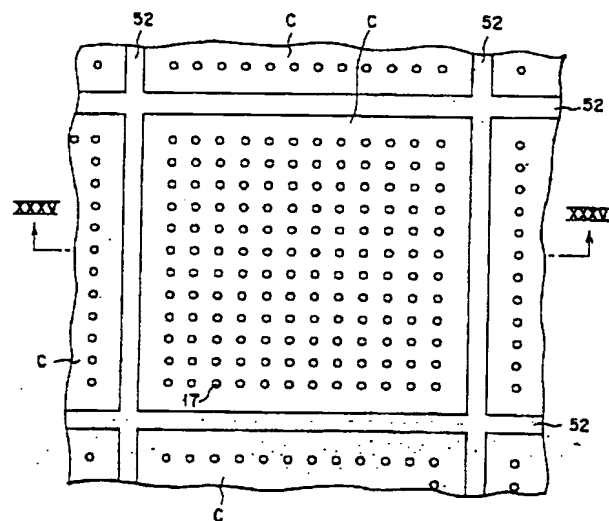
【図32】



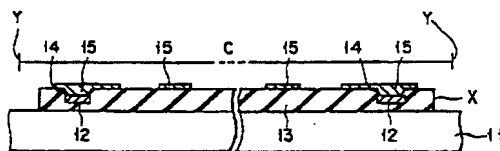
【図33】



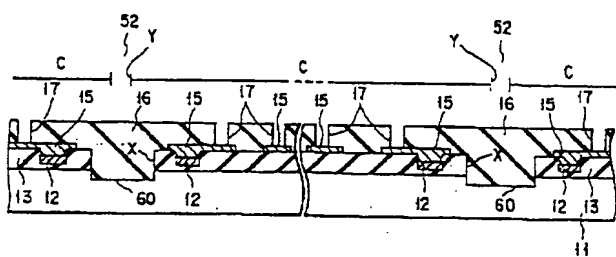
【図34】



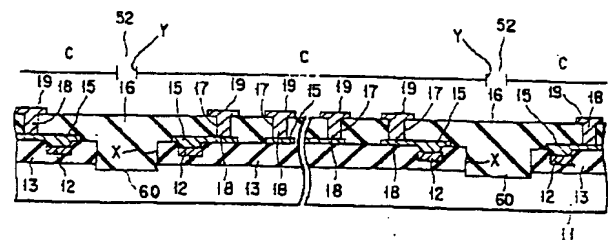
【図46】



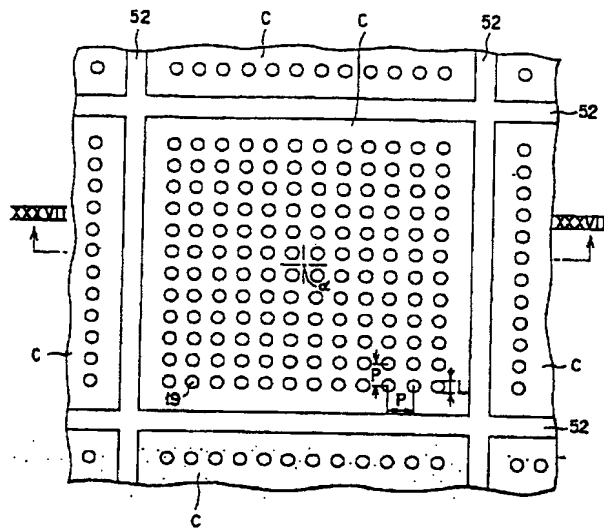
【図35】



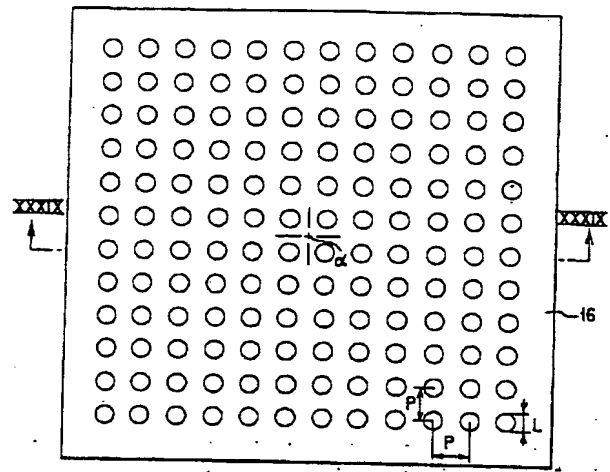
【図37】



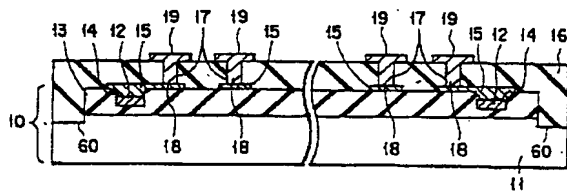
【図 36】



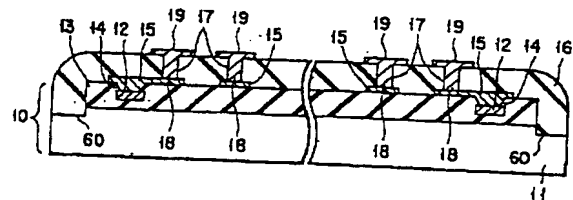
【図 38】



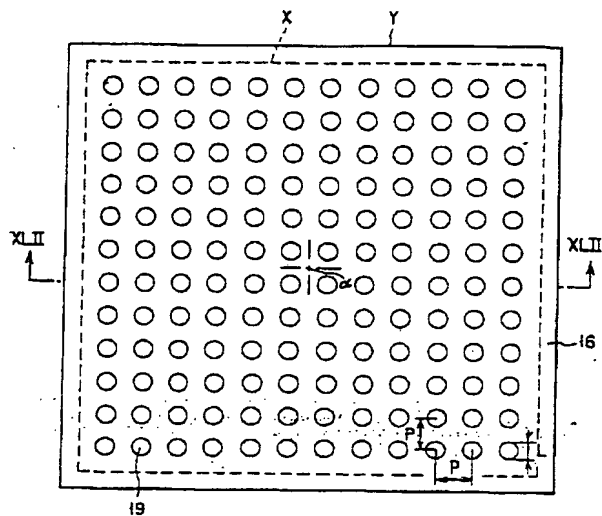
【図 39】



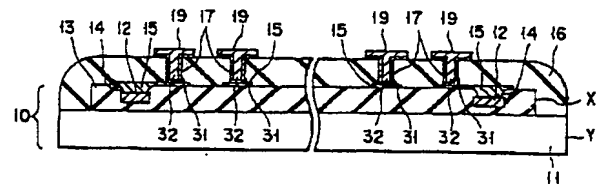
【図 40】



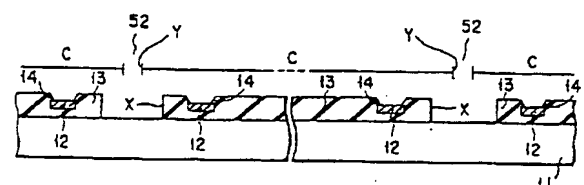
【図 41】



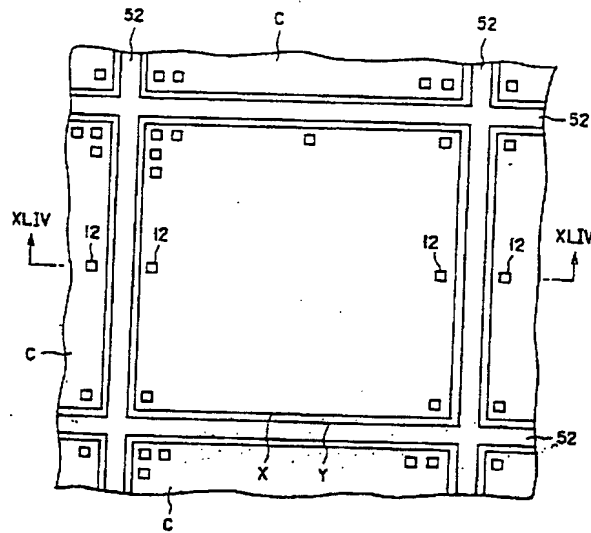
【図 42】



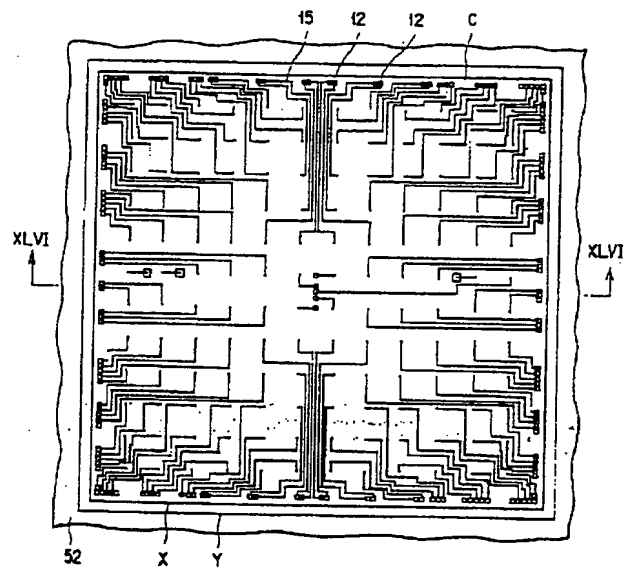
【図 44】



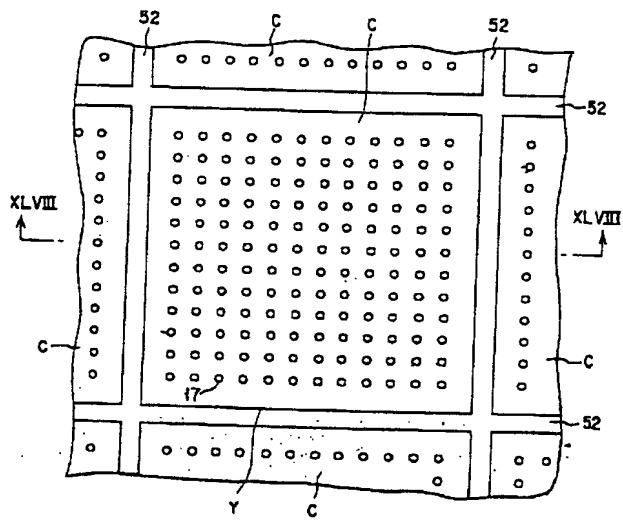
【図43】



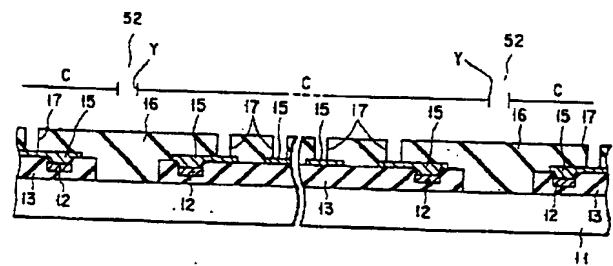
【図45】



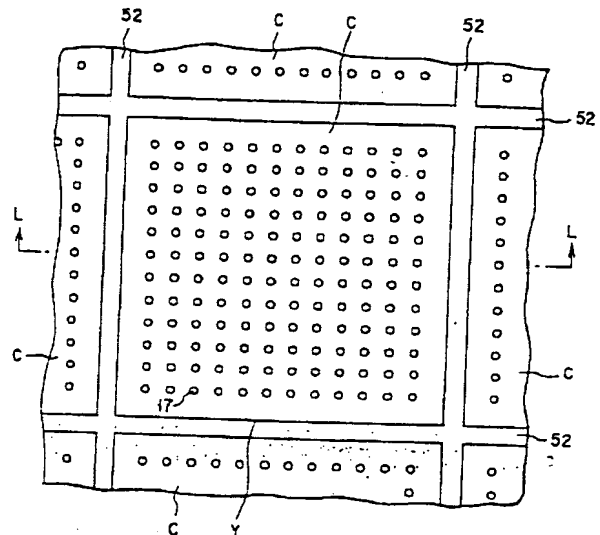
【図47】



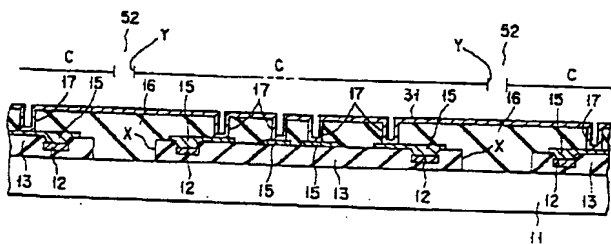
【図48】



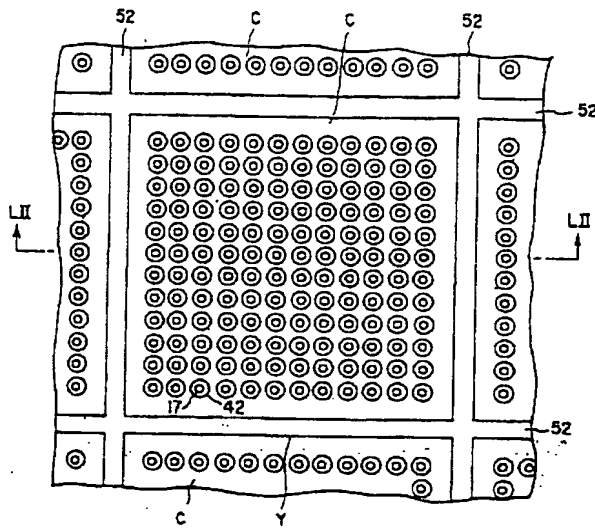
【図49】



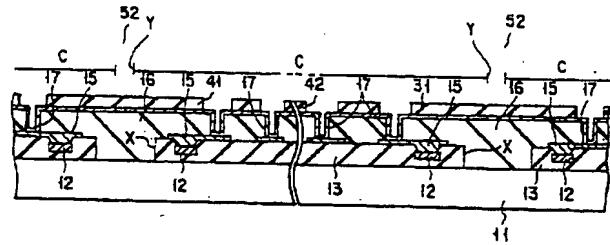
【図50】



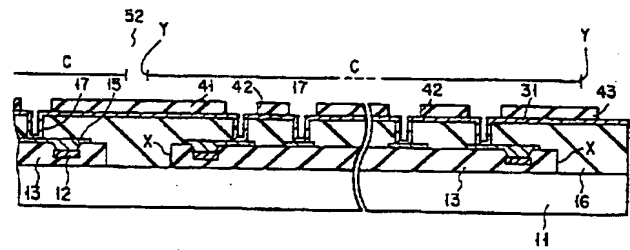
【図 5 1】



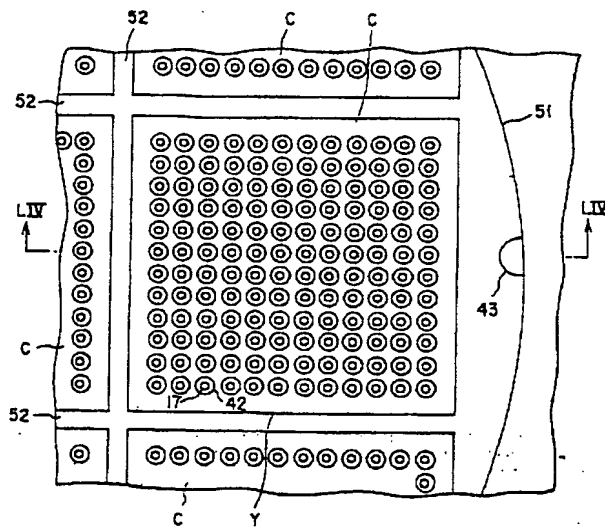
【図 5 2】



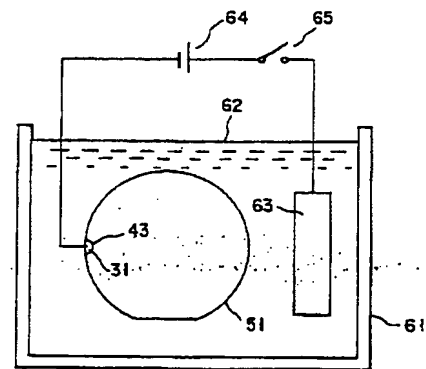
【図 5 4】



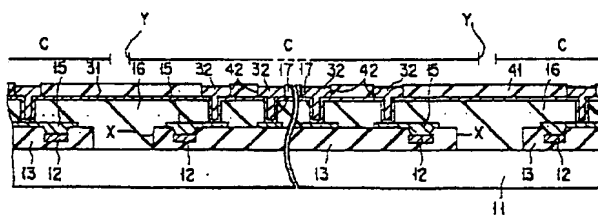
【図 5 3】



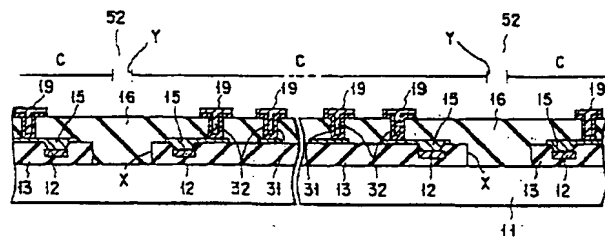
【図 5 5】



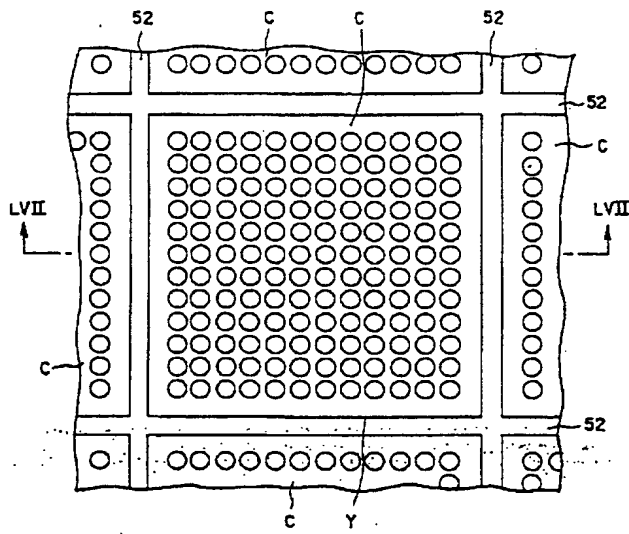
【図 5 7】



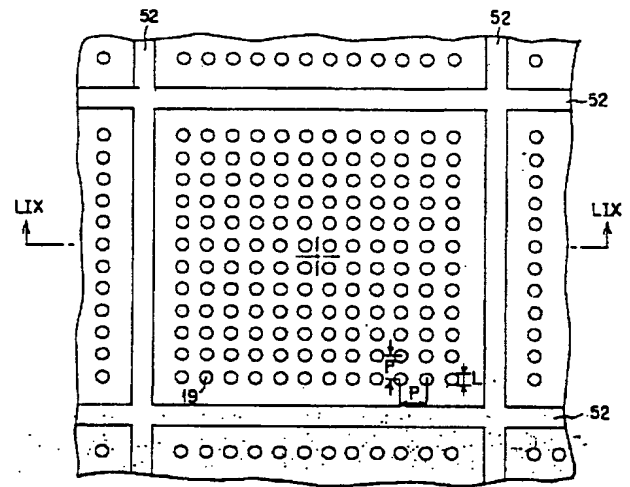
【図 5 9】



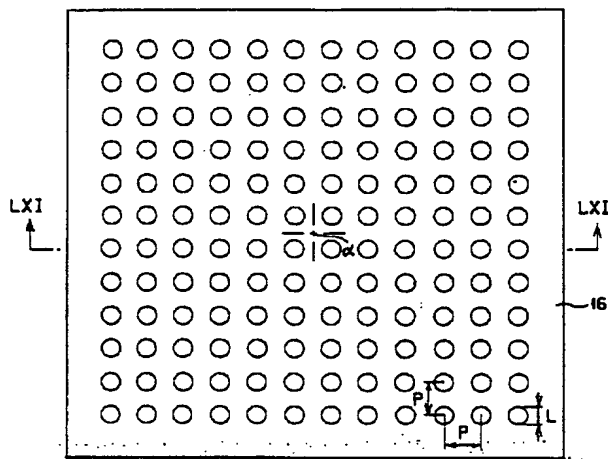
【図56】



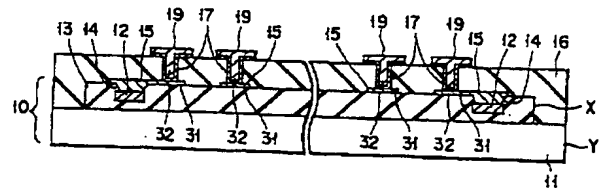
【図58】



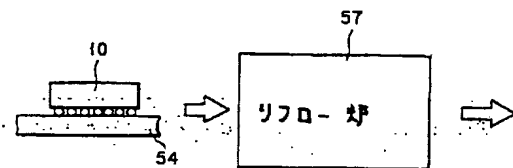
【図60】



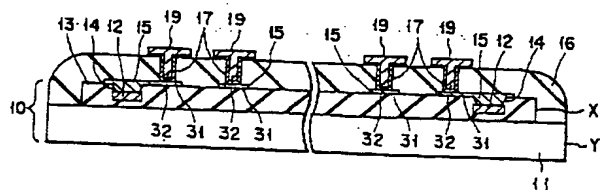
【図61】



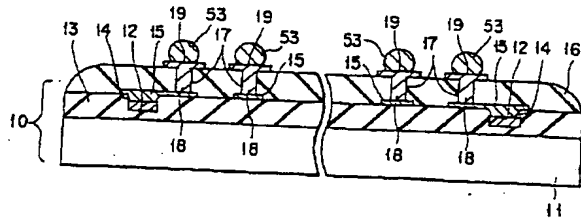
【図68】



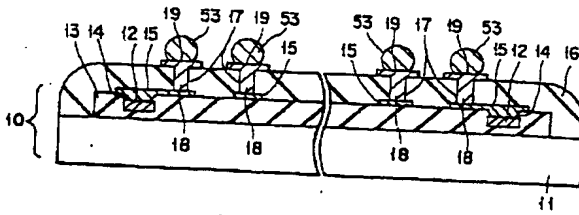
【図62】



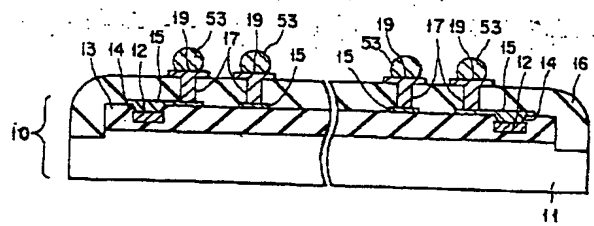
【図63】



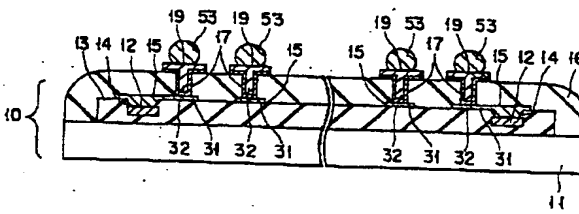
【図64】



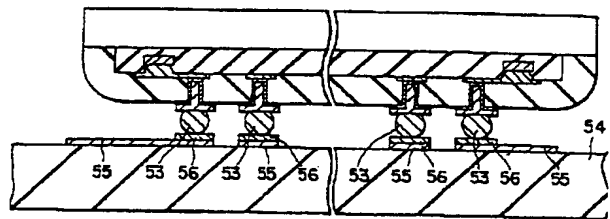
【図65】



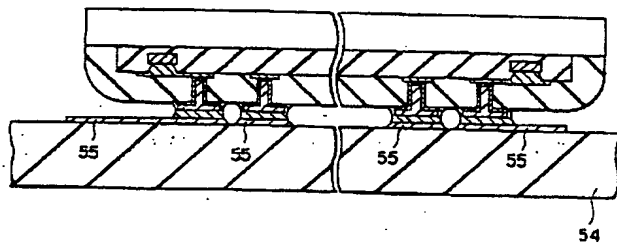
【図66】



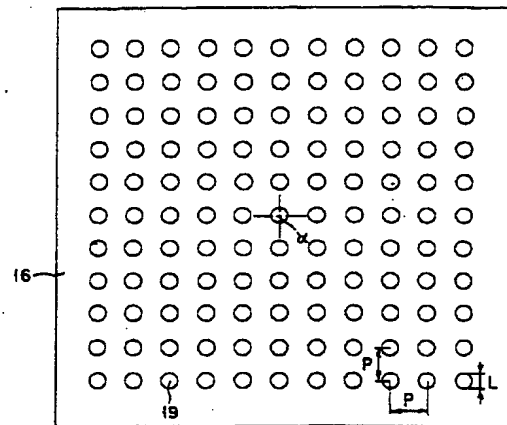
【図67】



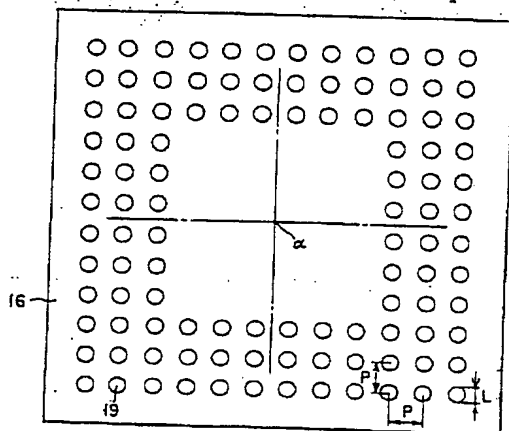
【図69】



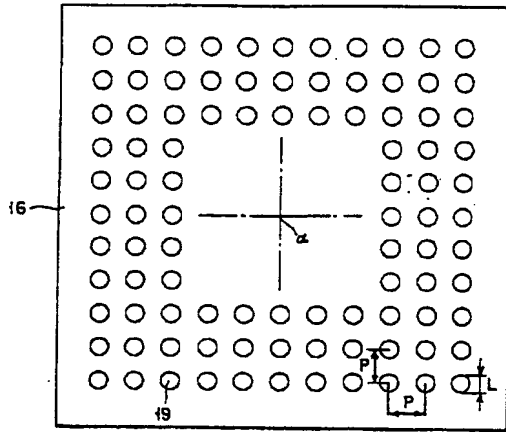
【図70】



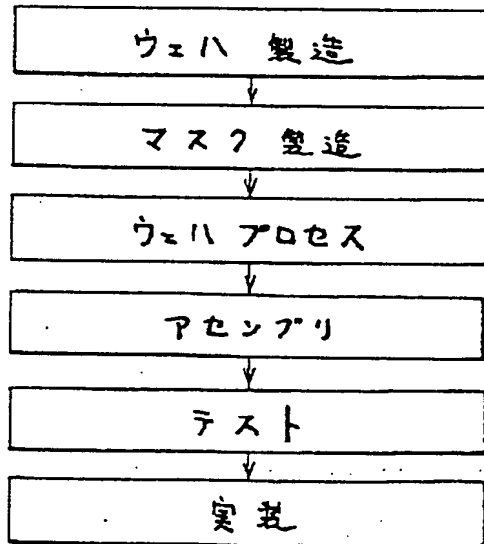
【図71】



【図72】



【図74】



【図73】

